

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-095075

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

(21)Application number : 03-163870

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 07.06.1991

(72)Inventor : YAMAZAKI SHUNPEI

MASE AKIRA

HIROKI MASAOKI

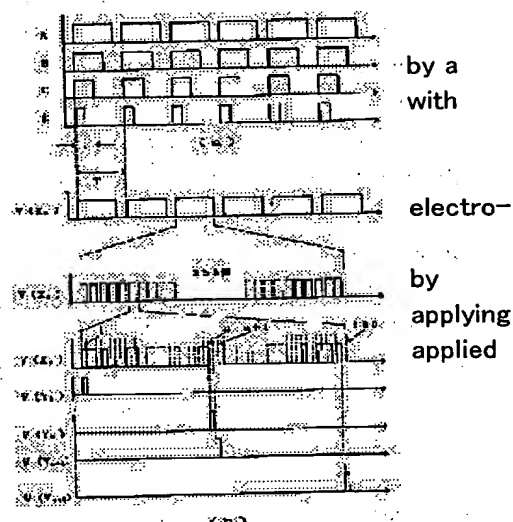
TAKEMURA YASUHIKO

## (54) METHOD DISPLAYING IMAGE OF ELECTRO-OPTICAL DEVICE

### (57)Abstract:

**PURPOSE:** To obtain a gradation display system capable of controlling digital signal and with little influence due to dispersion between elements respect to gradation display in an electro-optical device.

**CONSTITUTION:** In an active matrix type electro-optical device constituted so that a so-called deformation inverter type complimentary optical field-effect element is used and whose output terminal is connected to a pixel electrode, the visual gradation display is obtained controlling optionally a time when a voltage is applied to the pixel while periodically a pulse to the power supply terminal, applying the voltage is to an input terminal, or interrupting the voltage.



## LEGAL STATUS

[Date of request for examination]

06.02.1998

[Date of sending the examiner's decision of rejection]

28.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3119898

[Date of registration]

13.10.2000

[Number of appeal against examiner's decision of rejection]

2000-05500

[Date of requesting appeal against examiner's decision of rejection]

18.04.2000

[Date of extinction of right]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] a substrate top — the signal lines X1 and X2 of N book, and .. Xn and .. XN the signal lines Y1 and Y2 of M book which intersects perpendicularly with it, and .. Ym and .. YM With wiring formed in the shape of a matrix In the crossing field of each matrix, at least two N channel mold thin film transistors and at least two P channel mold thin film transistors, It has ZMN. the pixel Z11 prepared in the crossing field of each signal line, Z12, and ... Zmn and ... The I/O edge of the 1st P channel mold thin film transistor and the 1st N channel mold thin film transistor is connected. This is connected to said pixel electrode. Other I/O edges, respectively The I/O edge of the 2nd P channel mold thin film transistor, It connects with the I/O edge of the 2nd N channel mold thin film transistor. The I/O edge of another side of said 2nd P channel mold thin film transistor signal lines Y1 and Y2 and .. Ym and .. YM One signal line Ym It connects. About the I/O edge of another side of said 2nd N channel mold thin film transistor, it is said signal line Ym. Were prepared next. signal lines Y1 and Y2 and .. Ym and .. YM One signal-line Ym+1 Connect and the gate electrode of said 1st N channel mold thin film transistor and the 1st P channel mold thin film transistor is connected in common. signal lines X1 and X2 and .. Xn and .. XN one — connecting — the gate electrode of said 2nd P channel mold thin film transistor — said signal-line Ym+1 It connects. the gate electrode of said 2nd N channel mold thin film transistor — said signal line Ym the connected electro-optic device — setting — time amount T0 from — T1 setting — signal line Xn While adding with an electrical potential difference signal line Ym The process in which a signal shorter than time amount (T1-T0) is added, and time amount T2 In T3 (T3 > T2) from — signal line Xn without it applies an electrical potential difference — signal line Ym \*\*\*\* — the process in which a signal shorter than time amount (T3-T2) is added — having — short [ to a pixel electrode ] therefore — time amount T1 from — T3 up to — the method of presentation characterized by realizing the condition that the electrical potential difference was built.

[Claim 2] a substrate top — the signal lines X1 and X2 of N book, and .. Xn and .. XN the signal lines Y1 and Y2 of M book which intersects perpendicularly with it, and .. Ym and .. YM With wiring formed in the shape of a matrix In the crossing field of each matrix, at least two N channel mold thin film transistors and at least two P channel mold thin film transistors, It has ZMN. the pixel Z11 prepared in the crossing field of each signal line, Z12, and ... Zmn and ... The I/O edge of the 1st P channel mold thin film transistor and the 1st N channel mold thin film transistor is connected. This is connected to said pixel electrode. Other I/O edges, respectively The I/O edge of the 2nd P channel mold thin film transistor, It connects with the I/O edge of the 2nd N channel mold thin film transistor. The I/O edge of another side of said 2nd P channel mold thin film transistor signal lines Y1 and Y2 and .. Ym and .. YM One signal line Ym It connects. About the I/O edge of another side of said 2nd N channel mold thin film transistor, it is said signal line Ym. Were prepared next. signal lines Y1 and Y2 and .. Ym and .. YM One signal-line Ym+1 Connect and the gate electrode of said 1st N channel mold thin film transistor and the 1st P channel mold thin film transistor is connected in common. signal lines X1 and X2 and .. Xn and .. XN one — connecting — the gate electrode of said 2nd P channel mold thin film transistor — said signal-line Ym+1 It connects. The gate electrode of said 2nd N channel mold thin film transistor is said signal line Ym. In the connected electro-optic device The method of presentation characterized by performing a gradation display by making pulse width adjustable in the method of presentation which displays a signal when a pulse period adds the pulse of 30 or less msec to a pixel electrode.

[Claim 3], a substrate top — the signal lines X1 and X2 of N book, and .. Xn and .. XN the signal lines Y1 and Y2 of M book which intersects perpendicularly with it, and .. Ym and .. YN With wiring formed in the shape of a matrix In the crossing field of each matrix, at least two N channel mold thin film transistors and at least two P channel mold thin film transistors, It has ZMN. the pixel Z11 prepared in the crossing field of each signal line, Z12, and ... Zmn and ... The I/O edge of the 1st P channel mold thin film transistor and the 1st N channel mold thin film transistor is connected. This is connected to said pixel electrode. Other I/O edges, respectively The I/O edge of the 2nd P channel mold thin film transistor, It connects with the I/O edge of the 2nd N channel mold thin film transistor. The I/O edge of another side of said 2nd P channel mold thin film transistor signal lines Y1 and Y2 and .. Ym and .. YN One signal line Ym It connects. About the I/O edge of another side of said 2nd N channel mold thin film transistor, it is said signal line Ym. Were prepared next. signal lines Y1 and Y2 and .. Ym and .. YN One signal-line Ym+1 Connect and the gate electrode of said 1st N channel mold thin film transistor and the 1st P channel mold thin film transistor is connected in common. signal lines X1 and X2 and .. Xn and .. XN one — connecting — the gate electrode of said 2nd P channel mold thin film transistor — said signal-line Ym+1 It connects. The gate electrode of said 2nd N channel mold thin film transistor is said signal line Ym. In the connected electro-optic device signal line Ym of arbitration \*\*\*\* — while a signal's being added periodically and this signal are added — signal line Xn of arbitration With the process repeated two or more times, making an electrical potential difference into the condition of having been added then, signal line Ym \*\*\*\* — while adding the signal periodically and having added said signal — signal line Xn The method of presentation characterized by having the process which repeats changing into the condition that an electrical potential difference is not added two or more times.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Application of the Invention] This invention relates to the gradation method of presentation for obtaining the expression of an in-between color tone or a shade especially in the image display approach in the liquid crystal electro-optic device which used the thin film transistor (it is called Following TFT) as a switching element for a drive. Especially this invention relates to the so-called perfect digital gradation display which performs a gradation display, without impressing any analog signals to an active component from the exterior.

[0002]

[Description of the Prior Art] Since dielectric constants differ from the matter property to a horizontal direction and a perpendicular direction to a molecule shaft, to external electrolysis, it arranges horizontally or a liquid crystal constituent can perform making it have arranged perpendicularly enough easily. The liquid crystal electro-optic device is performing the display of ON/OFF, i.e., light and darkness, using the anisotropy of this dielectric constant by controlling the amount of transmitted lights or the amount of dispersion of light. As a liquid crystal ingredient, the ingredient called TN (Twisted Nematic) liquid crystal, STN (super twisted nematic) liquid crystal, a ferroelectric liquid crystal, polymer

liquid crystal, or distributed liquid crystal is known. It is known that liquid crystal will require fixed time amount which will exist by the time it reacts and answers short time amount to foreign voltage at infinity. The value is peculiar to each liquid crystal ingredient, and, in the case of TN liquid crystal, in the case of several 10 msec(s) and STN LCD, is [ in the case of several 100 msec(s) and a ferroelectric liquid crystal ] several 10 msec(s) in the case of several 10microsec, distributed process input output equipment, or polymer liquid crystal.

[0003] The active matrix was used for that from which the image quality which was most excellent among the electro-optic devices using liquid crystal is acquired. In the liquid crystal electro-optic device of the conventional active-matrix mold, TFT of the type of either P type or N type was used for one pixel at TFT using the semi-conductor of amorphous or a polycrystal mold, using a thin film transistor (TFT) as an active component. That is, generally the N channel mold TFT (it is called NTFT) is connected with the pixel at the serial. And when the signal was impressed to TFT prepared in the part where the signal line of a matrix and a sink and each signal line cross a signal level at right angles from both sides, it was what controls ON/OFF of a liquid crystal pixel according to an individual using TFT being in ON condition. By controlling a pixel by such approach, the large liquid crystal electro-optic device of contrast is realizable.

[0004]

[Problem(s) to be Solved by the Invention] However, in such an active matrix, it was very difficult to perform gradation displays, such as light and darkness and a color tone. Conventionally, the method using a gradation display changing the light transmission nature of liquid crystal with the magnitude of the electrical potential difference impressed was examined. This was what is going to apply the electrical potential difference of the magnitude to a liquid crystal pixel by supplying a suitable electrical potential difference from a circumference circuit between the source drains of TFT for example, in a matrix, and impressing a signal level to a gate electrode in the condition.

[0005] However, also at the lowest by such approach, the electrical potential difference built over a liquid crystal pixel in fact for the heterogeneity of TFT or the heterogeneity of matrix wiring has changed also several% with each pixels, for example. On the other hand, for example, since the electrical-potential-difference dependency of whenever [ light transmission / of liquid crystal ] had very strong non-linearity and light transmission nature changed rapidly on a certain specific electrical potential difference, also in the difference which is several % even if, light transmission nature might differ remarkably. For example, in the case of TN liquid crystal, the potential difference of an ON/OFF condition was about 1.2V, and when 16 gradation was used as an achievement plug, the potential difference of liquid crystal needed to be controlled by precision of 75mV. Therefore, it was a limitation to attain 16 gradation in fact.

[0006] Thus, it was very disadvantageous for a gradation display to be difficult, when competing with CRT (cathode-ray tube) whose liquid crystal display unit is the conventional common display.

[0007] This invention aims at proposing the completely new approach for realizing the difficult gradation display conventionally.

[0008]

[Means for Solving the Problem] Now, although it said previously that it is possible to control the light transmission nature by controlling in analog the electrical potential difference applied to liquid crystal, this invention people found out that gradation could be obtained visually by controlling the time amount which the electrical potential difference has required for liquid crystal.

[0009] For example, when TN (Twisted Nematic) liquid crystal which is a typical liquid crystal ingredient was used and the case where a rectangular pulse as shown by A was impressed in drawing 1 (a) was compared with the case where a rectangular pulse as shown by C is impressed, the direction of A found out the bright thing. Here, the period of a pulse was set to 1msec. As a result, A was the brightest and was [ the following and ] the order of B, C, and D. This is a completely unexpected thing. Because, in the usual above-mentioned TN liquid crystal ingredient, the time amount of 1msec is too short, and TN liquid crystal does not react to such a short time. Therefore, it is impossible \*\*\*\* that liquid crystal realizes ON condition in any case. However, liquid crystal has realized in-between thickness in fact.

[0010] About the concrete principle, a detail is not known yet. However, this invention people found out that a gradation expression was possible using this phenomenon. That is, when impressing a pulse to a liquid crystal ingredient with a period to which a liquid crystal ingredient does not react, realizing in-between brightness by digital control just considers as the description of this invention by controlling the width of face of a pulse. In the case of TN liquid crystal, the period of the pulse for obtaining such in-between concentration was understood that 10 or less msec are required as a result of research of this invention people.

[0011] Here, the semantics is clarified about a phrase called the period of a pulse. That is, in this case, although two or more pulses are continuously impressed to liquid crystal, the period of the pulse in this case means time amount after one pulse starts until the following pulse starts. Therefore, it becomes the inverse number of the repeat frequency of a pulse. Moreover, pulse width means the time amount which has a pulse in an electrical-potential-difference condition. Therefore, in drawing 1, in the case of the pulse train of C, T is the period of a pulse, and tau is pulse width.

[0012] The same effectiveness was seen also in polymer liquid crystal or distributed liquid crystal also in the ferroelectric liquid crystal also in STN LCD. When all added the pulse of a period shorter than the response time, it became clear that an in-between color tone is acquired. Namely, in STN LCD, in 10 or less msec and a ferroelectric liquid crystal, when, as for 10 or less msec and \*\*\*\* better \*\*, below 10microsec and \*\*\*\* better \*\* added the pulse of the period of 1 or less msec in below 1microsec, polymer liquid crystal, or distributed liquid crystal, as for 100 or less msec and \*\*\*\* better \*\*, the gradation display was obtained.

[0013] Usually, by images, such as television, in 1 second, the still picture of 30 sheets lets out one after another, and forms an animation. Therefore, the time amount which the still picture of one sheet continues is about 30 msec(s). This time amount is too early for human-being's eyes, is time amount "does not stop at an eye, either" literally, and cannot identify one still picture [ one ] visually as a result. At any rate, in order to obtain the usual animation, even if the still picture of one sheet is long, it is uncontinuable 100 or more msec.

[0014] If the gradation display of 256 gradation is performed using this invention, it is necessary to adopt the pulse-voltage impression approach that the time amount of  $T=3\text{msec}$ , then these 3msec(s) can be divided into at least 256, as an approach of impressing an electrical potential difference to a pixel, for example. That is, it is necessary to construct a circuit which requires the electrical potential difference of the shape of a pulse of  $3\text{msec(s)}/256=11.7\text{microsec}$  for a pixel by the shortest. In fact, as shown in drawing 3, in order to obtain 256 gradation, it is still more nearly required [ the light transmission nature of duty ratio  $\tau/T$  of a pulse and a liquid crystal pixel is the relation like a non-line type, and ] to control the duty ratio of a pulse finely.

[0015] And other pixels must be taken into consideration when performing actual image display. In an actual image display device, there is a line of no less than 400 lines, for example. That is, the ultrashort responsibility of 100ns in the active component of a matrix is searched for so that it may state later. Then, the example of the circuit which has such short-time responsibility is shown in drawing 4, and the explanation is given hereafter.

[0016] Drawing 4 shows the example of the circuit of the active matrix of a liquid crystal display required in order to carry out this invention. In this invention, since to answer in a short time for 100 or less ns is demanded, an active component needs to construct the circuit which carries out high-speed operation. It is required to use the circuit of the deformation inverter mold which did not switch only by NTFT or PTFT like before for that purpose, but was constituted so that NTFT and PTFT might operate complementary, as shown in drawing 4.

[0017] Although this example showed the example of the matrix of  $N \times M$ , in order to avoid complicatedness, it was shown only near the n line m train of them. A perfect thing will be obtained if the same thing as this is developed vertically and horizontally.

[0018] Four deformation inverter circuits are drawn on drawing 4. Each deformation inverter circuit consists of at least two NTFT(s) and at least two PTFT(s). When a defect exists, it may have the number of TFT(s), and it may be increased further. In this circuit, the gate electrode of 1 set of NTFT(s)

of a center section and PTFT is a signal line  $X_n$  first. It connects, and the source of this NTFT and PTFT or one side of a drain is connected mutually, and this is Pixels  $Z_n$  and  $m$ . It connects with an electrode. This condition is the same as the usual complementary-type electric field effect component (CMOS). The source or the drain of another side of this NTFT and PTFT is connected to the source or the drain of the 2nd NTFT and PTFT, respectively. Moreover, the source or the drain of another side of this 2nd NTFT and PTFT is signal-line  $Y_{m+1}$ , respectively.  $Y_m$  It connects. Furthermore, the gate electrode of the 2nd NTFT and PTFT is signal-line  $Y_{m+1}$ , respectively.  $Y_m$  It connects. the following — signal lines  $X_1$  and  $X_2$  and ..  $X_N$  collective — or an individual exception — an X-ray — calling — signal lines  $Y_1$  and  $Y_2$  and ..  $Y_M$  It is collectively called Y line according to an individual. Moreover, the capacitor is artificially inserted in the capacitor of a pixel, and juxtaposition by a diagram. . The capacitor inserted at this time has the effectiveness which controls that the electrical potential difference of a pixel falls, when the charge of a pixel carries out natural discharge. If descent of the electrical potential difference of a pixel has dispersion in a pixel, it will cause deterioration of image quality in invention which is going to perform a gradation display as what has the electrical potential difference become less uniform and fixed like especially this invention impressed to a pixel. However, by inserting a capacitor in a pixel in this way at juxtaposition, the voltage drop by dispersion in a pixel can be suppressed remarkably, and can obtain high definition.

[0019] Next, the example of the circuit at the time of using such a circuit of operation is explained using drawing 1 (b) and drawing 2 . This matrix circuit needs to operate so that the electrical potential difference of the shape of a pulse as shown in drawing 1 (a) may be impressed to a liquid crystal cell. Then, since such a pulse is generated, the outline of the signal level impressed to an X-ray and Y line is shown in drawing 1 (b). The matrix of 400x640 is considered as an example.

[0020] The signal impressed to an X-ray is  $X_n$ . In the case of a line, it is shown by  $V(X_n)$ , but in fact, 256 pulses (henceforth a subpulse) are included in a mass of pulse by which this is repeated a period  $T$ , and it turns out further that each of the 256 subpulse consists of pulse trains containing 400 elements. Here, the figure 400 is the line count of a matrix. Therefore, the smallest units of the pulse impressed to an X-ray are  $T=3\text{msec}$ , then 29ns.

[0021] On the other hand, between time amount  $T / 256$ , a pulse as shown by  $V(Y_1)$ ,  $V(Y_m)$ ,  $V(Y_{m+1})$ , and  $V(Y_{400})$  of drawing shifts each timing on Y line, and is impressed to it. This pulse needs to be still shorter than the smallest unit pulse of the pulse impressed to the above-mentioned X-ray. After all, between time amount  $T$ , a pulse is impressed to Y lines each 256 times.

[0022] Next, actuation of an actual circuit is explained based on drawing 2 . First, the 1st subpulse is impressed to each X-ray. With a natural thing, these subpulses differ for every X-ray. on the other hand, it stated to Y line previously — as — a pulse — the beginning —  $Y_1$  and a degree —  $Y_2$  as — it is impressed one by one. First, a pulse is  $Y_1$ . The time of being impressed is considered. this time — Pixel  $Z — 1$  and 1 The active component connected will be in an OFF condition. Namely,  $Y_1$  It is in an electrical-potential-difference condition, and is  $Y_2$ . Since it is not in an electrical-potential-difference condition, among four TFT(s) of the active component of a pixel, upper PTFT and lower NTFT will be in ON condition, and will be in the condition that a central inverter operates. and input  $X_1$  of an inverter \*\*\*\* — since the electrical potential difference is added, an output will be in the condition that it is reversed and an electrical potential difference is not added.  $Y_2$  [ subsequently, ] although an electrical potential difference is added — this time — Pixel  $Z — 1$  and 2 \*\*\*\* — it will be in the condition that the electrical potential difference was built. namely, input  $X_1$  of an inverter \*\*\*\* — it is because the electrical potential difference is not built. And this electrical-potential-difference condition is  $Y_2$ . Even after a pulse is cut, it is  $Y_2$  next continuously. It continues until a pulse is added. Similarly, they are  $Z_1$  and  $m$ .  $Z_1$  and  $m+1$   $Z_1, 400$  It will be in an electrical-potential-difference condition.

[0023] Thus, a pulse is impressed one by one and it is  $Y_m$ . The case where it is impressed is considered. Now, four pixels  $Z_n$  and  $m$ ,  $Z_n, m+1$ ,  $Z_{n+1}, m$ ,  $Z_{n+1}$ , and  $m+1$  It is  $X_n$  if it is observing. And  $X_{n+1}$  What is necessary is just to observe the  $m$ -th of the 1st subpulse, and  $(m+1)$  eye watch.  $X_n$  \*\*  $X_{n+1}$  Since it is not in an electrical-potential-difference condition, the  $m$ -th is Pixels  $Z_n$  and  $m$ ,  $Z_{n+1}$ , and  $m$ . It will be in an electrical-potential-difference (charge) condition. Subsequently,  $Y_{m+1}$  A pulse is impressed.  $X_n$  \*\*

X<sub>n+1</sub>. Since it is not in an electrical-potential-difference condition, eye watch (m+1) is Pixel Z<sub>n</sub>, m+1, Z<sub>n+1</sub>, and m+1 also in this case. It will be in a charge condition.

[0024] Next, although omitted by a diagram, the 2nd subpulse should come. At this time, it is X<sub>n</sub>. X<sub>n+1</sub> If the m-th and (m+1) eye watch are not in an electrical-potential-difference condition, a charge condition will not be lost but four pixels will continue an electrical-potential-difference condition succeeding above. Then, the electrical-potential-difference condition should continue all four pixels to the subpulse of \*\* (h-1).

[0025] Next, the subpulse should progress and the h-th subpulse should come. In order to avoid complicatedness by a diagram, it omitted [ the m-th and (m+1) except / watch ]. At this time, X<sub>n</sub> is also X<sub>n+1</sub>. Since it is not in an electrical-potential-difference condition, the m-th is Pixels Z<sub>n</sub> and m, Z<sub>n+1</sub>, and m. An electrical-potential-difference condition is continued. X<sub>n+1</sub> [ however, ] \*\*\*\* (m+1) — since eye watch is in an electrical-potential-difference condition — pixel Z<sub>n+1</sub> and m although an electrical-potential-difference condition continues — pixel Z<sub>n+1</sub> and m+1 The charge in which the output of an active component stops being in an electrical-potential-difference condition, and was stored is emitted, and an electrical-potential-difference condition is interrupted.

[0026] Furthermore, it is X<sub>n</sub> when the i-th subpulse comes. Since it changed into the electrical-potential-difference condition, eye watch (m+1) is Z<sub>n</sub> and m+1. A charge condition is canceled. Hereafter, it sets to the j-th and k-th subpulses, and they are X<sub>n+1</sub> and X<sub>n</sub>, respectively. Since the m-th changed into the electrical-potential-difference condition, they are Pixels Z<sub>n</sub> and m, Z<sub>n+1</sub>, and m. A charge condition is interrupted in the \*\*\*\*\*, k-th, and j-th subpulse. By passing through such a process, the time amount of an electrical-potential-difference condition is controllable in digital one for every pixel to be shown in V (Z) of drawing 2.

[0027] By repeating such actuation, the width of face of the electrical-potential-difference pulse which joins each pixel is controllable to arbitration like drawing 1 (a).

[0028] In carrying out this invention so that clearly from the above explanation, the above subpulses must not necessarily be the things of the shape of a pulse which can be defined clearly. Although the concept of a subpulse was carried out in order to simplify explanation, it is clear that this invention can be especially carried out even if between a subpulse and subpulses is not clear and there is almost no boundary as a signal. Furthermore, in order to give explanation intelligible, the zero level and voltage level of a signal were clarified, but since this is only the problem whether to be liquid crystal or below the threshold electrical potential difference of TFT, or to be above, it does not need to be zero by any means. Moreover, in the above example, probably, not mattering will be clear, even if a pulse has a reverse polarity, since an electrical potential difference is the relative physical quantity on the basis of the potential of the point of arbitration. moreover — although the screen of one line was scanned at a time in order in the above example — the beginning — Y1, Y3, Y5, and ... as — scanning — after that, Y2, Y4 and Y6, and .. as — it cannot be overemphasized that the so-called interlaced-scanning method to scan is also possible.

[0029]

[Example]

"Example 1" Since the flat TV was produced using the liquid crystal display using circuitry as shown in drawing 4 by this example, the explanation is given. Moreover, TFT in that case was taken as the polycrystalline silicon which used laser annealing.

[0030] Arrangement configurations, such as an actual electrode corresponding to this circuitry, are shown in drawing 5 about one pixel. First, the production approach of the liquid crystal panel used by this example is explained using drawing 6. Although a total of four TFT(s) are shown in drawing at one pixel since NTFT and every two PTFT(s) are need in order to carry out this invention, a number is attached and explained only to one side of NTFT and PTFT for simplification. It is Magnetron RF (high frequency) on the glass 50 which can be equal to degrees C [ 700 degrees C or less which is not expensive as for quartz glass etc. ], for example, about 600 degrees C, heat treatment in drawing 6 (A). The oxidation silicon film as a blocking layer 51 is produced in thickness of 1000-3000Å using a spatter. Process conditions were made into 100% ambient atmosphere of oxygen, the membrane formation



temperature of 150 degrees C, outputs 400–800W, and the pressure of 0.5Pa. The membrane formation rate which used a quartz or single crystal silicon for the target was a part for 30–100A/.

[0031] Besides, the silicon film 52 was produced for the silicon film by the plasma-CVD method. Membrane formation temperature was performed at 250 degrees C – 350 degrees C, in this example, was made into 320 degrees C and used the mono silane ( $\text{SiH}_4$ ). Not only a mono silane ( $\text{SiH}_4$ ) but disilane ( $\text{Si}_2\text{H}_6$ ) Trishiran ( $\text{Si}_3\text{H}_8$ ) may be used again. These were introduced by the pressure of 3Pa in PCVD equipment, and 13.56MHz high-frequency power was applied and membranes were formed. Under the present circumstances, high-frequency power is 0.02 – 0.10 W/cm<sup>2</sup>. It is suitable and they are 0.055 W/cm<sup>2</sup> at this example. It used. Moreover, the flow rate of a mono silane ( $\text{SiH}_4$ ) is set to 20SCCM(s), and the membrane formation rate at that time is about 120A/. It was a part. the threshold voltage ( $V_{th}$ ) of PTFT and NTFT — an outline — in order to control identically, boron may be added during membrane formation as concentration of  $1 \times 10^{15}$ – $1 \times 10^{18}$ cm<sup>-3</sup> using diboron hexahydride. Moreover, not only this plasma CVD but a spatter and a reduced pressure CVD method may be used for membrane formation of the silicon layer used as the channel field of TFT, and that approach is described briefly below.

[0032] When carrying out by the spatter, back pressure before a spatter was set to  $1 \times 10^{-5}$  or less Pa, and hydrogen was performed to the argon in the ambient atmosphere mixed 20 to 80% by using single crystal silicon as a target. For example, it considered as 80% of hydrogen argon 20%. For membrane formation temperature, 150 degrees C and a frequency were [ 400–800W and the pressure of 13.56MHz and a spatter output ] 0.5Pa.

[0033] When forming by the reduced pressure gaseous-phase method, it is a disilane ( $\text{Si}_2\text{H}_6$ ) in 450–550 degrees C lower 100–200 degrees C than crystallization temperature, for example, 530 degrees C. Or trishiran ( $\text{Si}_3\text{H}_8$ ) Membranes were supplied and formed to the CVD system. Fission reactor internal pressure was set to 30–300Pa. A membrane formation rate is 50–250A/. It was a part. the threshold voltage ( $V_{th}$ ) of PTFT and NTFT — an outline — in order to control identically, boron may be added during membrane formation as concentration of  $1 \times 10^{15}$ – $1 \times 10^{18}$ cm<sup>-3</sup> using diboron hexahydride.

[0034] As for the coat formed by these approaches, it is desirable that oxygen is three or less [  $5 \times 10^{21}$ cm<sup>-3</sup> ]. If too few although it is desirable that it takes preferably or less [  $1 \times 10^{19}$ cm<sup>-3</sup> ] for three three or less [  $7 \times 10^{19}$ cm<sup>-3</sup> ] in order to make crystallization promote, since the leakage current of an OFF state would increase an oxygen density with a back light, this concentration was chosen. If this oxygen density is high, it is hard to make it crystallize and laser annealing time amount must be lengthened highly [ temperature / laser annealing ]. Hydrogen was  $4 \times 10^{20}$ cm<sup>-3</sup>, and when it was compared as silicon  $4 \times 10^{22}$ cm<sup>-3</sup>, it was one atom %.

[0035] Moreover, in order to make crystallization promote more to the source and a drain, an oxygen density may be preferably made or less [  $1 \times 10^{19}$ cm<sup>-3</sup> ] into three three or less [  $7 \times 10^{19}$ cm<sup>-3</sup> ], and oxygen may be added only to the channel formation field of TFT which carries out a pixel configuration so that it may be set to  $5 \times 10^{20}$ – $5 \times 10^{21}$ cm<sup>-3</sup> with ion-implantation. By the above-mentioned approach, the silicon film of an amorphous condition was formed in thickness of 1000A by 500–5000A and this example.

[0036] Then, the pattern with which only the source drain field punctured the photoresist 53 using the mask P1 was formed. The silicon film 54 which moreover serves as a barrier layer of n mold by the plasma-CVD method was produced. Membrane formation temperature was performed at 250 degrees C – 350 degrees C, in this example, was made into 320 degrees C and used the thing of the phosphoretted hydrogen ( $\text{PH}_3$ ) 3% concentration of a mono silane ( $\text{SiH}_4$ ) and the mono-silane base. these were boiled and introduced by the pressure of 5Pa in PCVD equipment, and 13.56MHz high-frequency power was applied and membranes were formed. Under the present circumstances, high-frequency power is 0.05 – 0.20 W/cm<sup>2</sup>. It is suitable and they are 0.120 W/cm<sup>2</sup> at this example. It used.

[0037] The specific conductivity of n mold silicon layer done by this approach became  $2 \times 10^{-1}$  [  $\text{ohm}\cdot\text{cm}^{-1}$  ] extent. Thickness could be 50A. After that, using the lift-off method, the resist 53 was removed and the source drain fields 55 and 56 were formed.

[0038] The barrier layer of p mold was formed using the same process. The thing of diboron hexahydride ( $\text{B}_2\text{H}_6$ ) 5% concentration of a mono silane ( $\text{SiH}_4$ ) and the mono-silane base was used for the



introductory gas in that case, these were boiled and introduced by the pressure of 4Pa in PCVD equipment, and 13.56MHz high-frequency power was applied and membranes were formed. Under the present circumstances, high-frequency power is 0.05 – 0.20 W/cm<sup>2</sup>. It is suitable and they are 0.120 W/cm<sup>2</sup> at this example. It used. The specific conductivity of the p-type silicon layer done by this approach became  $5 \times 10^{-2}$  [ $\Omega \text{cm}^{-1}$ ] extent. Thickness could be 50Å. The source drain fields 59 and 60 were formed using the lift-off method like the N type field after that. Then, etching removal of the silicon film 52 was carried out using the mask P3, and the island field 63 for N channel mold thin film transistors and the island field 64 for P channel mold thin film transistors were formed.

[0039] While carrying out laser annealing of the source drain channel field using the XeCl excimer laser after that, laser doping was performed to the barrier layer. For the laser energy at this time, threshold energy is 130 mJ/cm<sup>2</sup>. For the whole thickness fusing, they are 220 mJ/cm<sup>2</sup>. It is needed. However, the beginning to 220 mJ/cm<sup>2</sup> If the above energy is irradiated, since the hydrogen contained in the film will be emitted rapidly, membranous destruction breaks out. Therefore, after driving out hydrogen first by low energy, it is necessary to carry out melting. At this example, it is 150 mJ/cm<sup>2</sup> at first. 230 mJ/cm<sup>2</sup> after performing the purge of hydrogen It crystallized.

[0040] Besides, it formed in the thickness of 500–2000Å, for example, 1000Å, by using the oxidation silicon film as gate dielectric film. This was taken as the same conditions as production of the oxidation silicon film as a blocking layer. Little addition of the fluorine may be carried out during this membrane formation, and sodium ion may be made to fix.

[0041] then, the silicon film with which Lynn went into this bottom at the concentration of  $1-5 \times 10^{21} \text{cm}^{-3}$ , or this silicon film and a it top — molybdenum (Mo), a tungsten (W), and MoSi<sub>2</sub> Or multilayers with WSi<sub>2</sub> were formed. Patterning of this is carried out with the 4th photo mask P4, and it is drawing 6 (D). It obtained. The gate electrode 66 for NTFT and the gate electrode 67 for PTFT were formed. For example, molybdenum was formed for Lind-PU silicon 0.2 micrometers and on it as 7 micrometers of channel length, and a gate electrode at the thickness of 0.3 micrometers. Patterning also of the wiring 68 installed in coincidence in parallel to the gate wiring 65 and it as shown in drawing 6 (D') was carried out.

[0042] Moreover, when aluminum (aluminum) is used as a gate electrode material, since a selfer line method of construction can apply and the contact hole of a source drain can be formed in the location more near the gate, the property of TFT can be further raised by anodizing the front face for this after patterning with the 4th photo mask P4 from reduction of mobility and threshold voltage.

[0043] If it carries out, there is nothing that write and for which temperature is applied to 400 degrees C or more at all processes, and C/TFT can be made. Therefore, it is not necessary to use expensive substrates, such as a quartz, as a substrate ingredient, and it can be said that it is the process which was extremely suitable for the liquid crystal display of the big screen of this invention.

[0044] In drawing 6 (E), the spatter which described the layer insulation object 68 above performed as formation of the oxidation silicon film. formation of this oxidation silicon film — LPCVD — law, an optical CVD method, and an ordinary pressure CVD method may be used. For example, it formed in the thickness of 0.2–0.6 micrometers, and the aperture 79 for electrodes was formed after that using the 5th photo mask P5. Then, further, aluminum was formed in the thickness of 0.3 micrometers by the spatter at these whole, and lead 74 and contacts 73 and 75 were produced using the 6th photo mask P6. In this way, drawing 6 (E) and (E') were obtained. Then, spreading formation of the organic resin 77 for flattening, for example, the translucency polyimide resin, was carried out for the front face, and the 7th photo mask P7 performed electrode punching for the second time. Furthermore, ITO (indium tin oxide) was formed in the thickness of 0.1 micrometers by the spatter, and the pixel electrode 71 was formed in these whole using the 8th photo mask P8. This ITO formed membranes at room temperature –150 degree C, and annealing in 200–400-degree C oxygen or atmospheric air accomplished it.

[0045] In this way, drawing 6 (F) and (F') were obtained. The sectional view of A–A' of drawing 6 (F') is shown in drawing 6 (G). In fact, a liquid crystal ingredient is inserted on this, a counterelectrode is prepared, and as shown in drawing, electrostatic capacity arises between a counterelectrode and the pixel electrode 71. Electrostatic capacity arises also between wiring 68 and an electrode 71 in it and

coincidence. And by maintaining wiring 68 at a counterelectrode and this potential, as shown in drawing 4, the circuit where capacity was inserted in the liquid crystal pixel at juxtaposition will be constituted. Since wiring 68 is parallel to the gate wiring 65 by arranging like especially this example, there is little regulation capacity during 2 wiring, therefore it is effective in reducing attenuation and delay of the signal transmitted in gate wiring.

[0046] Moreover, the wiring 68 formed by doing in this way can be used as a grounding conductor of the protection network established in the termination of each matrix wiring, when grounded and used. As a protection network is shown in drawing 9, a circuit as shown by the surrounding drive circuit, drawing 10 prepared between pixels, and drawing 11 is said. If all require an excessive electrical potential difference for a pixel, it will be in ON condition, and it has the operation which removes an electrical potential difference. It was doped or these protection networks are constituted using a semiconductor material like silicon which is not doped, a transparency electrical conducting material like ITO, or the usual wiring material. Therefore, when forming the circuit of a pixel, forming in coincidence is possible.

[0047] Probably, the protection network of this of drawing 10 will be clear from consisting of NTFT, PTFT, or C/TFT that united them. Moreover, it is clear for the diode which diode is constituted by PIN junction and thinks especially the Zener property as important to have structures, such as NIN, PIP, NPN, or PNP, not to explain them one by one, and to be produced by using the production approach shown by this example, although TFT is not used for the protection network of drawing 11, and to get.

[0048] Now, the electric property of TFT obtained as mentioned above was [ 40 (cm<sup>2</sup>/Vs) and V<sub>th</sub> of mobility ] -5.9(V) in PTFT, in NTFT, mobility was 80 (cm<sup>2</sup>/Vs), and V<sub>th</sub> was 5.0 (V).

[0049] One [ which was produced according to the above approaches ] substrate for liquid crystal electro-optic devices was able to be obtained. The situation of arrangement, such as an electrode of this liquid crystal display, is shown in drawing 5. TFT which constitutes the deformation inverter by this invention is a signal line Y1. Y2 Between, and Y2 and Y3 In between, it is a signal line X1 and X2. It is prepared in parallel. The matrix configuration using such C/TFT was made to have. This structure can be used as the liquid crystal display of 640x480 and a large pixel called 1280x960 right and left and by repeating up and down. It was referred to as 1920x400 in this example. Thus, the 1st substrate was obtained.

[0050] The production approach of the substrate of another side is shown in drawing 7. On the glass substrate, the polyimide resin which mixed the black pigment to polyimide was formed in thickness of 1 micrometer using the spin coat method, and the black stripe 81 was produced using the 9th photo mask P9. Then, the polyimide resin which mixed red pigments was formed in thickness of 1 micrometer using the spin coat method, and the red filter 83 was produced using the 10th photo mask P10. Masks P11 and P12 were used similarly, and the green filter 85 and the blue filter 86 were produced. Each filter performed baking for 60 minutes in nitrogen at 350 degrees C during these production. Then, the leveling layer 89 was too produced using transparency polyimide using the spin coat method.

[0051] Then, ITO (in JUMU tin oxide) was formed in the thickness of 0.1 micrometers by the spatter, and the common electrode 90 was formed in these whole using the 10th photo mask P10. Membranes were formed at room temperature -150 degree C, annealing in 200-300-degree C oxygen or atmospheric air accomplished, and this ITO obtained the 2nd substrate.

[0052] The offset method was used on said substrate, the polyimide precursor was printed, and baking was performed in the non-oxidizing atmosphere, for example, nitrogen, for 350-degree-C 1 hour. Then, using the well-known rubbing method, the polyimide front face was reformed and the means to which the orientation of the liquid crystal molecule is made to carry out in the fixed direction was established in the first stage at least.

[0053] Then, with said the first substrate and second substrate, the nematic liquid crystal constituent was pinched and the perimeter was fixed with epoxy nature adhesives. PCB which has Drive IC and the common signal of a TAB configuration, and potential wiring was connected to the lead on a substrate, the polarizing plate was stuck outside, and the liquid crystal electro-optic device of a transparency mold was obtained. The posterior part lighting system which has arranged three cold cathode tubes, and the tuner which receives a television electric wave were connected with this, and it was made to complete

as a flat TV. Since it became equipment of a flat-surface configuration compared with television of the conventional CRT method, it could also install in the wall etc. Actuation of this liquid crystal television was checked by impressing an equivalent signal to a liquid crystal pixel substantially with what was shown in drawing 1 and drawing 2.

[0054] "Example 2" Since the flat TV was produced using the liquid crystal display using circuitry as shown in drawing 4 by this example, the explanation is given. Moreover, TFT in that case was taken as the polycrystalline silicon which used laser annealing.

[0055] Below, the production approach of a TFT part is described according to drawing 8. It is Magnetron RF (high frequency) on the glass 100 which can be equal to degrees C [ 700 degrees C or less which is not expensive as for quartz glass etc. ], for example, about 600 degrees C, heat treatment in drawing 8 (A). The oxidation silicon film as a blocking layer 101 is produced in thickness of 1000–3000Å using a spatter. Process conditions were made into 100% ambient atmosphere of oxygen, the membrane formation temperature of 150 degrees C, outputs 400–800W, and the pressure of 0.5Pa. The membrane formation rate which used a quartz or single crystal silicon for the target was a part for 30–100Å/.

[0056] Besides, the silicon film 102 was produced for the silicon film by the plasma-CVD method. Membrane formation temperature was performed at 250 degrees C – 350 degrees C, in this example, was made into 320 degrees C and used the mono silane ( $\text{SiH}_4$ ). Not only a mono silane ( $\text{SiH}_4$ ) but disilane ( $\text{Si}_2\text{H}_6$ ) It is trishiran ( $\text{Si}_3\text{H}_8$ ) again. You may use. These were introduced by the pressure of 3Pa in PCVD equipment, and 13.56MHz high-frequency power was applied and membranes were formed. Under the present circumstances, high-frequency power is 0.02 – 0.10 W/cm<sup>2</sup>. It is suitable and they are 0.055 W/cm<sup>2</sup> at this example. It used. Moreover, the flow rate of a mono silane ( $\text{SiH}_4$ ) is set to 20SCCM(s), and the membrane formation rate at that time is about 120Å/. It was a part. the threshold voltage ( $V_{th}$ ) of PTFT and NTFT — an outline — in order to control identically, boron may be added during membrane formation as concentration of  $1 \times 10^{15}$ – $1 \times 10^{18} \text{cm}^{-3}$  using diboron hexahydride. Moreover, not only this plasma CVD but a spatter and a reduced pressure CVD method may be used for membrane formation of the silicon layer used as the channel field of TFT, and that approach is described briefly below.

[0057] When carrying out by the spatter, back pressure before a spatter was set to  $1 \times 10^{-5}$  or less Pa, and hydrogen was performed to the argon in the ambient atmosphere mixed 20 to 80% by using single crystal silicon as a target. For example, it considered as 80% of hydrogen argon 20%. For membrane formation temperature, 150 degrees C and a frequency were [ 400–800W and the pressure of 13.56MHz and a spatter output ] 0.5Pa.

[0058] When forming by the reduced pressure gaseous-phase method, it is a disilane ( $\text{Si}_2\text{H}_6$ ) in 450–550 degrees C lower 100–200 degrees C than crystallization temperature, for example, 530 degrees C. Or trishiran ( $\text{Si}_3\text{H}_8$ ) Membranes were supplied and formed to the CVD system. Fission reactor internal pressure was set to 30–300Pa. A membrane formation rate is 50–250Å/. It was a part. the threshold voltage ( $V_{th}$ ) of PTFT and NTFT — an outline — in order to control identically, boron may be added during membrane formation as concentration of  $1 \times 10^{15}$ – $1 \times 10^{18} \text{cm}^{-3}$  using diboron hexahydride.

[0059] As for the coat formed by these approaches, it is desirable that oxygen is three or less [  $5 \times 10^{21} \text{cm}^{-3}$  ]. If too few although it is desirable that it takes preferably or less [  $1 \times 10^{19} \text{cm}^{-3}$  ] for three three or less [  $7 \times 10^{19} \text{cm}^{-3}$  ] in order to make crystallization promote, since the leakage current of an OFF state would increase an oxygen density with a back light, this concentration was chosen. If this oxygen density is high, it is hard to make it crystallize and laser annealing time amount must be lengthened highly [ temperature / laser annealing ]. Hydrogen was  $4 \times 10^{20} \text{cm}^{-3}$ , and when it was compared as silicon  $4 \times 10^{22} \text{cm}^{-3}$ , it was one atom %.

[0060] Moreover, in order to make crystallization promote more to the source and a drain, an oxygen density may be preferably made or less [  $1 \times 10^{19} \text{cm}^{-3}$  ] into three three or less [  $7 \times 10^{19} \text{cm}^{-3}$  ], and oxygen may be added only to the channel formation field of TFT which carries out a pixel configuration so that it may be set to  $5 \times 10^{20}$ – $5 \times 10^{21} \text{cm}^{-3}$  with ion-implantation. By the above-mentioned approach, the silicon film of an amorphous condition was formed in thickness of 1000Å by 500–5000Å and this.

example.

[0061] Then, the pattern with which only the source drain field of NTFT and the field which should become punctured the photoresist 103 using the mask P1 was formed. and the resist 103 — a mask — carrying out — phosphorus ion — ion-implantation —  $2 \times 10^{14}$ – $5 \times 10^{16} \text{cm}^{-2}$  — preferably, only  $2 \times 10^{16} \text{cm}^{-2}$  were poured in and they formed n mold impurity range 104. Then, the resist 103 was removed.

[0062] Similarly, the resist 105 was applied and the pattern which punctured only the source drain field of PTFT and the field which should become was formed using the mask P2. And the impurity range 106 of p mold was formed by using a resist 105 as a mask. as an impurity — HOUSO — using — too — ion-implantation — using —  $2 \times 10^{14}$ – $5 \times 10^{16} \text{cm}^{-2}$  — only  $2 \times 10^{16} \text{cm}^{-2}$  introduced the impurity preferably. Do in this way. Drawing 8 (B) was obtained.

[0063] Then, 50–300nm in thickness and the 100nm oxidation silicon coat 107 were formed by the above-mentioned RF spatter on the silicon film 102. And the XeCl excimer laser was used, and the source drain channel field was crystallized and activated by laser annealing. For the laser energy at this time, threshold energy is  $130 \text{ mJ/cm}^2$ . For the whole thickness fusing, they are  $220 \text{ mJ/cm}^2$ . It is needed. However, the beginning to  $220 \text{ mJ/cm}^2$  If the above energy is irradiated, since the hydrogen contained in the film will be emitted rapidly, membranous destruction breaks out. Therefore, after driving out hydrogen first by low energy, it is necessary to carry out melting. At this example, it is  $150 \text{ mJ/cm}^2$  at first.  $230 \text{ mJ/cm}^2$  after performing the purge of hydrogen It crystallized. Furthermore, after laser annealing termination removed the oxidation silicon film 107.

[0064] Then, island-like the NTFT field 111 and the PTFT field 112 were formed with the photo mask P3. Besides, it formed in the thickness of 500–2000Å, for example, 1000Å, by using the oxidation silicon film 108 as gate dielectric film. This was taken as the same conditions as production of the oxidation silicon film as a blocking layer. Little addition of the fluorine may be carried out during this membrane formation, and sodium ion may be made to fix.

[0065] then, the silicon film with which Lynn went into this bottom at the concentration of  $1$ – $5 \times 10^{21} \text{cm}^{-3}$ , or this silicon film and a it top — molybdenum (Mo), a tungsten (W), and  $\text{MoSi}_2$  Or multilayers with  $\text{WSi}_2$  were formed. Patterning of this is carried out with the 4th photo mask P4, and it is drawing 6 (D). It obtained. The gate electrode 109 for NTFT and the gate electrode 110 for PTFT were formed. For example, molybdenum was formed for Lind-PU silicon 0.2 micrometers and on it as 7 micrometers of channel length, and a gate electrode at the thickness of 0.3 micrometers. Although not shown in drawing, gate wiring and wiring parallel to it as well as the case of an example 1 were formed.

[0066] As an ingredient of this wiring, it is also possible to use aluminum (aluminum) besides the above-mentioned ingredient. When aluminum is used, since a selfer line method of construction can apply and the contact hole of a source drain can be formed in the location more near the gate, the property of TFT can be further raised by anodizing the front face for this after patterning with the 4th photo mask P4 from reduction of mobility and threshold voltage.

[0067] If it carries out, there is nothing that write and for which temperature is applied to 400 degrees C or more at all processes, and C/TFT can be made. Therefore, it is not necessary to use expensive substrates, such as a quartz, as a substrate ingredient, and it can be said that it is the process which was extremely suitable for the liquid crystal display of the big screen of this invention.

[0068] In drawing 8 (E), the spatter which described the layer insulation object 113 above performed as formation of the oxidation silicon film. formation of this oxidation silicon film — LPCVD — law, an optical CVD method, and an ordinary pressure CVD method may be used. For example, it formed in the thickness of 0.2–0.6 micrometers, and the aperture 117 for electrodes was formed after that using the 5th photo mask P5. Then, after forming aluminum in the thickness of 0.3 micrometers by the spatter at these whole and producing lead 116 and contacts 114 and 115 further using the 6th photo mask P6, spreading formation of the organic resin 119 for flattening, for example, the translucency polyimide resin, was carried out for the front face, and the 7th photo mask P7 performed electrode punching for the second time. Furthermore, ITO (indium tin oxide) was formed in the thickness of 0.1 micrometers by the spatter, and the pixel electrode 118 was formed in these whole using the 8th photo mask P8. This ITO

formed membranes at room temperature  $-150$  degree C, and annealing in  $200-400$ -degree C oxygen or atmospheric air accomplished it.

[0069] The electric property of obtained TFT was [  $35$  ( $\text{cm}^2/\text{Vs}$ ) and  $V_{\text{th}}$  of mobility ]  $-5.9(\text{V})$  in PTFT, in NTFT, mobility was  $90$  ( $\text{cm}^2/\text{Vs}$ ), and  $V_{\text{th}}$  was  $4.8$  (V).

[0070] One [ which was produced according to the above approaches ] substrate for liquid crystal electro-optic devices was able to be obtained. Since it is the same as an example 1, the production approach of the substrate of another side is omitted. Then, with said the first substrate and second substrate, the nematic liquid crystal constituent was pinched and the perimeter was fixed with epoxy nature adhesives. PCB which has Drive IC and the common signal of a TAB configuration, and potential wiring was connected to the lead on a substrate, the polarizing plate was stuck outside, and the liquid crystal electro-optic device of a transparency mold was obtained. The posterior part lighting system which has arranged three cold cathode tubes, and the tuner which receives a television electric wave were connected with this, and it was made to complete as a flat TV. Since it became equipment of a flat-surface configuration compared with television of the conventional CRT method, it could also install in the wall etc. Actuation of this liquid crystal television was checked by impressing an equivalent signal to a liquid crystal pixel substantially with what was shown in drawing 1 and drawing 2.

[0071]

[Effect of the Invention] In this invention, it is characterized by performing the gradation display of a digital method to the gradation display of the conventional analog form. As the effectiveness, for example, the thing for which it varies and the property of all a total of  $256,000$  TFT(s) is produced that there is nothing when the liquid crystal electro-optic device which has the number of pixels of  $640 \times 400$  dots is assumed As opposed to  $16$  gradation displays being considered to be limitations, if it has difficulty very much and mass-production nature and the yield are actually taken into consideration like this invention By indicating by gradation only by digital control purely, the gradation display beyond  $256$  gradation displays was attained, without adding an analog—completely signal. Since it was perfect digital display, even if the ambiguity of the gradation by property dispersion of TFT was completely lost, therefore dispersion in TFT had it a little, the very homogeneous gradation display was possible for it. Therefore, conventionally, since the yield of TFT would not be made a problem so much by this invention to whose yield having been very bad in order to obtain TFT with little dispersion, the yield of liquid crystal equipment was able to improve and was also able to hold down production cost remarkably.

[0072] For example, since about  $10\%$  of property dispersion of TFT existed when the usual analog gradation display is performed to the liquid crystal electro-optic device which created  $256,000$  sets of TFT(s) of  $640 \times 400$  dots on  $300\text{mm}$  square,  $16$  gradation displays were limitations. However, since it is hard to be influenced of property dispersion of a TFT component when the digital gradation display by this invention is performed, it became possible to  $256$  gradation displays, and the display of color variegated [ what and  $16,777,216$  colors ] and delicate has been realized in color display. When projecting software like television imagery, tints differ delicately [ the "rock" which consists of the same color ] from the detailed hollow etc. When it is going to perform the display near natural color,  $16$  gradation takes difficulty. The gradation display by this invention enabled it to attach change of these detailed color tones.

[0073] Although explanation was added in the example of this invention focusing on TFT which used silicon, TFT using germanium can be used similarly. Since the electron mobility of single crystal germanium exceeds  $3600\text{cm}^2 / \text{Vs}$  and especially Hall mobility has exceeded the property of  $2/\text{Vs}$ , and the value (they are  $2/\text{Vs}$   $480\text{cm}$  at  $1350\text{cm}^2 / \text{Vs}$ , and Hall mobility in electron mobility) of single crystal silicon  $1800\text{cm}$ , it is the ingredient which was extremely excellent when performing this invention as which high-speed operation is required. Moreover, the temperature of germanium which changes from an amorphous state to a crystallized state is low compared with silicon, and it has turned to the low-temperature process. Moreover, a big crystal is obtained when the rate of karyogenesis in the case of crystal growth generally carries out polycrystal growth small therefore. Thus, even if it compares germanium with silicon, it has the equal property.

[0074] In order to explain the technical thought of this invention, explanation was added by making into

an example the electro-optic device which mainly used liquid crystal, especially a display, but in order to apply the thought of this invention, nothing needs to be a display and you may be the so-called projection mold television and the other so-called optical switches, and an optical shutter. Furthermore, if an optical property also changes an opto electronics material in response to the electric effects not only of liquid crystal but electric field, an electrical potential difference, etc., it will be clear that this invention is applicable.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The example of a drive wave by this invention is shown.

[Drawing 2] The example of a drive wave by this invention is shown.

[Drawing 3] The example of the gradation display property of the liquid crystal by this invention is shown.

[Drawing 4] The example of the matrix configuration by this invention is shown.

[Drawing 5] The planar structure of the component by the example is shown.

[Drawing 6] The process of TFT by the example is shown.

[Drawing 7] The process of the color filter by the example is shown.

[Drawing 8] The process of TFT by the example is shown.

[Drawing 9] The example of connection of the protection network in an example is shown.

[Drawing 10] The example of the protection network in an example is shown.

[Drawing 11] The example of the protection network in an example is shown.

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-95075

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>5</sup>

G 0 2 F 1/133

識別記号

5 7 5

5 5 0

庁内整理番号

9226-2K

9226-2K

7319-5G

F I

技術表示箇所

G 0 9 G 3/36

審査請求 未請求 請求項の数3(全 18 頁)

(21)出願番号

特願平3-163870

(22)出願日

平成3年(1991)6月7日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 廣木 正明

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

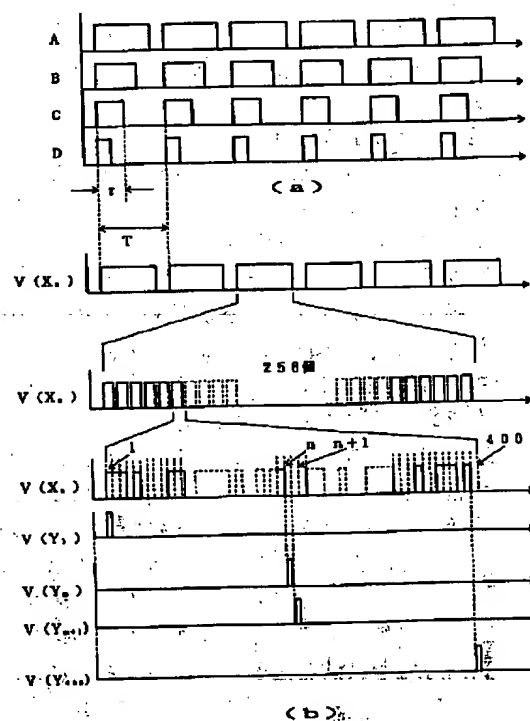
最終頁に続く

(54)【発明の名称】 電気光学装置の画像表示方法

(57)【要約】

【目的】 電気光学装置の階調表示に関して、デジタル信号によって制御でき、素子間のばらつきによる影響の少ない階調表示方式を提供する。

【構成】 アクティブマトリクス型電気光学装置において、個々の画素を駆動する素子として、いわゆる変形インパクタ型の相補型電界効果型素子を用い、その出力端を画素電極に接続した構成において、その電源端子に周期的にパルスを印加し、入力端に電圧を印加し、あるいは電圧を切りながら、画素に電圧のかかる時間を任意に制御することによって視覚的な階調表示を得る表示方式。





(2)

1

## 【特許請求の範囲】

【請求項1】基板上に、N本の信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ と、それに直交するM本の信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ とによってマトリクス状に形成された配線と、各マトリクスの交差点領域には、少なくとも2つのNチャネル型薄膜トランジスタと少なくとも2つのPチャネル型薄膜トランジスタと、各信号線の交差点領域に設けられた画素 $Z_{11}, Z_{12}, \dots, Z_{mn}, \dots, Z_{MN}$ とを有し、第1のPチャネル型薄膜トランジスタと第1のNチャネル型薄膜トランジスタの入出力端を接続し、これを前記画素電極に接続し、他の入出力端をそれぞれ、第2のPチャネル型薄膜トランジスタの入出力端、第2のNチャネル型薄膜トランジスタの入出力端に接続し、前記第2のPチャネル型薄膜トランジスタの他方の入出力端を、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_m$ に接続し、前記第2のNチャネル型薄膜トランジスタの他方の入出力端を、前記信号線 $Y_m$ のとなりに設けられた、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_{m+1}$ に接続し、前記第1のNチャネル型薄膜トランジスタおよび第1のPチャネル型薄膜トランジスタのゲート電極を共通に接続して、信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ のうちの1つに接続し、前記第2のPチャネル型薄膜トランジスタのゲート電極を前記信号線 $Y_{m+1}$ に接続し、前記第2のNチャネル型薄膜トランジスタのゲート電極は前記信号線 $Y_m$ に接続された電気光学装置において、時間 $T_0$ から $T_1$ においては信号線 $X_n$ 電圧を加えるとともに、信号線 $Y_m$ に時間 $(T_1 - T_0)$ よりも短い信号を加える過程と、時間 $T_2$ から $T_3$  ( $T_3 > T_2$ )においては、信号線 $X_n$ に電圧を加えないで信号線 $Y_m$ には、時間 $(T_3 - T_2)$ よりも短い信号を加える過程とを有し、よって、画素電極に短くとも時間 $T_1$ から $T_3$ まで電圧のかかった状態を実現することを特徴とする表示方法。

【請求項2】基板上に、N本の信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ と、それに直交するM本の信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ とによってマトリクス状に形成された配線と、各マトリクスの交差点領域には、少なくとも2つのNチャネル型薄膜トランジスタと少なくとも2つのPチャネル型薄膜トランジスタと、各信号線の交差点領域に設けられた画素 $Z_{11}, Z_{12}, \dots, Z_{mn}, \dots, Z_{MN}$ とを有し、第1のPチャネル型薄膜トランジスタと第1のNチャネル型薄膜トランジスタの入出力端を接続し、これを前記画素電極に接続し、他の入出力端をそれぞれ、第2のPチャネル型薄膜トランジスタの入出力端、第2のNチャネル型薄膜トランジスタの入出力端に接続し、前記第2のPチャネル型薄膜トランジスタの他方の入出力端を、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_m$ に接続し、前記第2のNチャネル型薄膜トランジスタの他方の入出力端を、前記信号線 $Y_m$ のとなりに設けられた、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_{m+1}$

2

に接続し、前記第1のNチャネル型薄膜トランジスタおよび第1のPチャネル型薄膜トランジスタのゲート電極を共通に接続して、信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ のうちの1つに接続し、前記第2のPチャネル型薄膜トランジスタのゲート電極を前記信号線 $Y_{m+1}$ に接続し、前記第2のNチャネル型薄膜トランジスタのゲート電極は前記信号線 $Y_m$ に接続された電気光学装置において、画素電極にパルス周期が30msec以下のパルスを加えることによって信号を表示する表示方法において、パルス幅を可変にすることによって階調表示をおこなうことを特徴とする表示方法。

【請求項3】基板上に、N本の信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ と、それに直交するM本の信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ とによってマトリクス状に形成された配線と、各マトリクスの交差点領域には、少なくとも2つのNチャネル型薄膜トランジスタと少なくとも2つのPチャネル型薄膜トランジスタと、各信号線の交差点領域に設けられた画素 $Z_{11}, Z_{12}, \dots, Z_{mn}, \dots, Z_{MN}$ とを有し、第1のPチャネル型薄膜トランジスタと第1のNチャネル型薄膜トランジスタの入出力端を接続し、これを前記画素電極に接続し、他の入出力端をそれぞれ、第2のPチャネル型薄膜トランジスタの入出力端、第2のNチャネル型薄膜トランジスタの入出力端に接続し、前記第2のPチャネル型薄膜トランジスタの他方の入出力端を、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_m$ に接続し、前記第2のNチャネル型薄膜トランジスタの他方の入出力端を、前記信号線 $Y_m$ のとなりに設けられた、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_{m+1}$ に接続し、前記第1のNチャネル型薄膜トランジスタおよび第1のPチャネル型薄膜トランジスタのゲート電極を共通に接続して、信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ のうちの1つに接続し、前記第2のPチャネル型薄膜トランジスタのゲート電極を前記信号線 $Y_{m+1}$ に接続し、前記第2のNチャネル型薄膜トランジスタのゲート電極は前記信号線 $Y_m$ に接続された電気光学装置において、任意の信号線 $Y_m$ には周期的に信号が加えられること、とこの信号が加わっている間は任意の信号線 $X_n$ に電圧を加わった状態とすることを複数回繰り返す過程と、その後、信号線 $Y_m$ には周期的に信号を加え、前記信号が加わっている間は、信号線 $X_n$ に電圧の加わっていない状態とすることを複数回繰り返す過程とを有することを特徴とする表示方法。

## 【発明の詳細な説明】

## 【0001】

【発明の利用分野】本発明は、駆動用スイッチング素子として薄膜トランジスタ（以下TFTという）を使用した液晶電気光学装置における画像表示方法において、特に中間的な色調や濃淡の表現を得るための階調表示方法に関するものである。本発明は、特に、外部からいかなるアナログ信号をもアクティブ素子に印加することな

(3)

く、階調表示をおこなう、いわゆる完全デジタル階調表示に関するものである。

#### 【0002】

【従来の技術】液晶組成物はその物質特性から、分子軸に対して水平方向と垂直方向に誘電率が異なるため、外部の電圧に対して水平方向に配列したり、垂直方向に配列したりさせることが容易にできる。液晶電気光学装置は、この誘電率の異方性を利用して、光の透過光量または散乱量を制御することでON/OFF、すなわち明暗の表示をおこなっている。液晶材料としては、TN（ツイステッド・ネマティック）液晶、STN（スーパー・ツイステッド・ネマティック）液晶、強誘電性液晶、ポリマー液晶あるいは分散型液晶とよばれる材料が知られている。液晶は外部電圧に対して、無限に短い時間に反応するのではなく、応答するまでに一定の時間がかかることが知られている。その値はそれぞれの液晶材料に固有で、TN液晶の場合には、数10msec、STN液晶の場合には数100msec、強誘電性液晶の場合には数10μsec、分散型あるいはポリマー液晶の場合には数10msecである。

【0003】液晶を利用した電気光学装置のうちでもっとも優れた画質が得られるものは、アクティブマトリクス方式を用いたものであった。従来のアクティブマトリクス型の液晶電気光学装置では、アクティブ素子として薄膜トランジスタ（TFT）を用い、TFTにはアモルファスまたは多結晶型の半導体を用い、1つの画素にP型またはN型のいずれか一方のみのタイプのTFTを用いたものであった。即ち、一般にはNチャネル型TFT（NTFTという）を画素に直列に連結している。そして、マトリクスの信号線に信号電圧を流し、それぞれの信号線の直交する箇所に設けられたTFTに双方から信号が印加されるとTFTがON状態となることを利用して液晶画素のON/OFFを個別に制御するものであった。このような方法によって画素の制御をおこなうことによって、コントラストの大きい液晶電気光学装置を実現することができる。

#### 【0004】

【発明が解決しようとする課題】しかしながら、このようなアクティブマトリクス方式では、明暗や色調といった、階調表示をおこなうことは極めて難しかった。従来、階調表示は液晶の光透過性が、印加される電圧の大きさによって変わることを利用する方式が検討されていた。これは、例えば、マトリクス中のTFTのソース・ドレイン間に、適切な電圧を周辺回路から供給し、その状態でゲート電極に信号電圧を印加することによって、液晶画素にその大きさの電圧をかけようとするものであった。

【0005】しかしながら、このような方法では、例えば、TFTの不均質性やマトリクス配線の不均質性のために、実際には液晶画素にかかる電圧は、各画素によつ

て、最低でも数%も異なってしまった。これに対し、例えば、液晶の光透過度の電圧依存性は、極めて非線型性が強く、ある特定の電圧で急激に光透過性が変化するため、たとえ数%の違いでも、光透過性が著しく異なってしまうことがあった。例えば、TN液晶の場合、ON/OFF状態の電位差は、約1.2Vであり、16階調を達成せんとする場合には、液晶の電位差を75mVの精度で制御する必要があった。そのため、実際には16階調を達成することが限界であった。

【0006】このように階調表示が困難であるということは、液晶ディスプレイ装置が従来の一般的な表示装置であるCRT（陰極線管）と競争してゆく上で極めて不利であった。

【0007】本発明は従来、困難であった階調表示を実現させるための全く新しい方法を提案することを目的とするものである。

#### 【0008】

【問題を解決するための手段】さて、液晶にかける電圧をアナログ的に制御することによって、その光透過性を制御することが可能であることを先に述べたが、本発明人らは、液晶に電圧のかかっている時間を制御することによって、視覚的に階調を得ることができることを見出した。

【0009】例えば、代表的な液晶材料であるTN（ツイステッド・ネマチック）液晶を用いた場合において、例えば、図1（a）において、Aで示されるような矩形パルスを印加する場合と、Cで示されるような矩形パルスを印加する場合を比べて見ると、Aの方が明るいことを見出した。ここで、パルスの周期は1msecとした。結果的には、Aが最も明るく、以下、B、C、Dの順であった。このことは全く予想外のことである。なぜならば、通常の上記のTN液晶材料においては、1msecという時間はあまりにも短く、そのような短時間にはTN液晶は反応しないのである。したがって、いずれの場合にも液晶はON状態を実現することは不可能なはずである。しかしながら、実際には液晶は中間的な濃さを実現できた。

【0010】その具体的な原理についてはまだ詳細にわかっていない。しかしながら、本発明人らは、この現象を利用して階調表現が可能であることを見いだしたのである。すなわち、液晶材料が反応しないような周期で液晶材料にパルスを印加するときにパルスの幅を制御することによって、中間的な明るさをデジタル制御で実現することが、まさに本発明の特徴とするものである。本発明人らの研究の結果、このような中間的な濃度を得るためのパルスの周期はTN液晶の場合には10msec以下が必要であることがわかった。

【0011】ここで、パルスの周期という語句について、その意味を明確にする。すなわち、この場合には、複数のパルスを連続的に液晶に印加するのであるが、こ

(4)

5

の場合のパルスの周期とは、1つのパルスが始まってから、次のパルスが始まるまでの間の時間のことをいう。したがって、パルスの繰り返し周波数の逆数となる。また、パルス幅とは、パルスが電圧状態にある時間のことをいう。したがって、図1において、例えばCのパルス列の場合には、Tがパルスの周期であり、 $\tau$ がパルス幅である。

【0012】同様な効果は、STN液晶においても、強誘電性液晶においても、また、ポリマー液晶あるいは分散型液晶においても見られた。いずれも、その応答時間よりも短い周期のパルスを加えることによって、中間的な色調が得られることが明らかになった。すなわち、STN液晶においては、100msec以下、のぞましくは10msec以下、強誘電性液晶においては10 $\mu$ sec以下、のぞましくは1 $\mu$ sec以下、ポリマー液晶あるいは分散型液晶においては10msec以下、のぞましくは1msec以下の周期のパルスを加えることによって、階調表示が得られた。

【0013】通常は、テレビ等の画像では1秒間に30枚の静止画が次々に繰り出されて動画を形成する。したがって、1枚の静止画が継続する時間は約30msecである。この時間は人間の目にはあまりにも早すぎて、文字通り『目にも止まらない』時間であり、結果として、視覚的には静止画を1枚1枚識別することはできない。ともかく、通常の動画を得るには、1枚の静止画は長くても100msec以上継続することはできない。

【0014】本発明を利用して256階調の階調表示をおこなうとすれば、例えば、 $T=3\text{msec}$ とすれば、この3msecの時間を、少なくとも256分割しうるパルス電圧印加方法、を画素に電圧を印加する方法として採用する必要がある。すなわち、最短で $3\text{msec}/256=11.7\mu\text{sec}$ のパルス状の電圧が画素にかかるような回路を組む必要がある。実際には、図3に示すように、パルスのデューティー比 $\tau/T$ と液晶画素の光透過性は非線型的な関係であり、256階調を得るためには、さらに、パルスのデューティー比を細かく制御することが必要である。

【0015】しかも、実際の画像表示をおこなう場合には、他の画素も考慮しなければならない。実際の画像表示装置では、例えば400行もの行がある。すなわち、後に述べるように、マトリクスアクティブ素子は100nsecという極短応答性が求められる。そこで、そのような短時間応答性を有する回路の例を図4に示し、以下、その説明をする。

【0016】図4は本発明を実施するために必要な液晶表示装置のアクティブマトリクス回路の例を示す。本発明では、アクティブ素子は100nsec以下の短時間で応答することが要求されるので高速動作する回路を組む必要がある。そのためには従来のようにNTFTあるいはPTFTだけでスイッチングをおこなうのではな

6

く、図4に示されるようにNTFTとPTFTとが相補的に動作するように構成された、変形インバータ型の回路を用いることが必要である。

【0017】この例では $N \times M$ のマトリクスの例を示したものであるが、煩雑さをさけるために、そのうちの $n$ 行 $m$ 列近傍のみを示した。これと同じものを上下左右に展開すれば完全なものが得られる。

【0018】図4には、4つの変形インバータ回路が描かれている。各変形インバータ回路は少なくとも2つのNTFTと少なくとも2つのPTFTから構成される。NTFTの数は、不良が存在した場合に備えて、さらに増やしても構わない。この回路では、まず、中央部の1組のNTFTとPTFTのゲート電極が信号線 $X_n$ に接続され、また、このNTFTとPTFTのソースあるいはドレインの一方は互いに接続され、これは画素 $Z_{n,m}$ の電極に接続される。この状態は通常の相補型電界効果素子(CMOS)と同じである。このNTFTおよびPTFTの他方のソースあるいはドレインは、それぞれ、第2のNTFT、PTFTのソースあるいはドレインに接続されている。また、この第2のNTFT、PTFTの他方のソースあるいはドレインは、それぞれ、信号線 $Y_{m+1}$ と $Y_m$ に接続されている。さらに、第2のNTFT、PTFTのゲート電極は、それぞれ、信号線 $Y_{m+1}$ と $Y_m$ に接続されている。以下では、信号線 $X_1, X_2, \dots, X_N$ を、集散的に、あるいは個別にX線とよび、信号線 $Y_1, Y_2, \dots, Y_M$ を、集散的に、あるいは個別にY線とよぶ。また、図では、画素のキャパシタと並列に人為的にキャパシタが挿入されている。このとき挿入されたキャパシタは、画素の電荷が自然放電することによって、画素の電圧が低下することを抑制する効果を有する。画素の電圧の降下は、画素のばらつきがあると、一様でなくなり、特に本発明のように、画素に印加される電圧が一定のものとして階調表示をおこなおうとする発明においては、画質の低下を招くものである。しかしながら、このように画素に並列にキャパシタを挿入することにより、画素のばらつきによる電圧降下は著しく抑えることができ、高画質を得ることができる。

【0019】次に、このような回路を用いた場合の回路の動作例を図1(b)および図2を用いて説明する。このマトリクス回路は図1(a)に示されるようなパルス状の電圧を液晶セルに印加するように動作する必要がある。そこで、このようなパルスを発生するためにX線およびY線に印加される信号電圧の概要を図1(b)に示す。例として、 $400 \times 640$ のマトリクスを考える。

【0020】X線に印加される信号は、例えば $X_n$ 線の場合は、 $V(X_n)$ で示されるが、これは、周期Tで繰り返されるひとまとまりのパルスの中に、実は256個のパルス(以下、サブパルスという)が含まれており、さらにその256個のサブパルスのそれぞれは、400個の要素が入ったパルス列から構成されていることがわ

(5)

かる。ここで、400という数字はマトリクス行数である。したがって、X線に印加されるパルスの最小単位は $T=3\text{ msec}$ とすれば、 $29\text{ nsec}$ である。

【0021】一方、Y線には、時間 $T/256$ の間に、図の $V(Y_1)$ 、 $V(Y_m)$ 、 $V(Y_{m+1})$ 、 $V(Y_{400})$ で示されるようなパルスが、それぞれのタイミングをずらして印加される。このパルスは、上記X線に印加されるパルスの最小単位パルスよりもさらに短い必要がある。結局、時間 $T$ の間には、各Y線には、256回パルスが印加される。

【0022】次に、実際の回路の動作を図2に基づいて説明する。まず、第1のサブパルスがそれぞれのX線に印加される。当然のことながら、これらのサブパルスはX線ごとに異なる。一方、Y線には、先に述べたように、パルスが最初に $Y_1$ 、次に $Y_2$ というように順々に印加されてゆく。まず、パルスが $Y_1$ に印加されたときを考える。このとき、画素 $Z_{1,1}$ に接続されている、アクティブ素子はOFF状態となる。すなわち、 $Y_1$ は電圧状態であり、かつ $Y_2$ は電圧状態でないので、画素のアクティブ素子の4つのTFTのうち、上のPTFTと下のNTFTはON状態となり、中央のインバータが動作する状態にある。そして、インバータの入力 $X_1$ には電圧が加わっているから、出力は反転して電圧の加わらない状態となる。次いで、 $Y_2$ に電圧が加わるのであるが、このとき、画素 $Z_{1,2}$ には電圧のかかった状態となる。すなわち、インバータの入力 $X_1$ には電圧がかかっていないからである。そして、この電圧状態は、 $Y_2$ のパルスが切られた後も継続し、次に $Y_2$ にパルスが加わるまで持続する。同様に、 $Z_{1,m}$ も $Z_{1,m+1}$ も $Z_{1,400}$ も、電圧状態となる。

【0023】このようにして、パルスが順々に印加されてゆき、 $Y_m$ に印加された場合を考える。今、4つの画素 $Z_{n,m}$ 、 $Z_{n,m+1}$ 、 $Z_{n+1,m}$ 、 $Z_{n+1,m+1}$ に注目しているとすれば、 $X_n$ および $X_{n+1}$ の第1のサブパルスの $m$ 番目および $(m+1)$ 番目に注目すればよい。 $X_n$ も $X_{n+1}$ も $m$ 番目は電圧状態でないで、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧(充電)状態になる。ついで、 $Y_{m+1}$ にパルスが印加される。 $X_n$ も $X_{n+1}$ も $(m+1)$ 番目は電圧状態でないで、この場合も画素 $Z_{n,m+1}$ 、 $Z_{n+1,m+1}$ は充電状態となる。

【0024】次に、図では省略されているが、第2のサブパルスが来たものとする。このとき、 $X_n$ も $X_{n+1}$ も $m$ 番目および $(m+1)$ 番目が電圧状態でなかったならば、充電状態がなくならず、以上4つの画素は引き続き電圧状態を継続する。その後、第 $(h-1)$ のサブパルスまでは、4つの画素とも電圧状態が継続したものとする。

【0025】次に、サブパルスが進んで、第 $h$ のサブパルスが来たものとする。図では煩雑さを避けるために $m$ 番目および $(m+1)$ 番目以外は省略した。このとき、

8

$X_n$ も $X_{n+1}$ も $m$ 番目は電圧状態でないで、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧状態を継続する。しかし、 $X_{n+1}$ には $(m+1)$ 番目が電圧状態であるので、画素 $Z_{n+1,m}$ は電圧状態が継続するものの、画素 $Z_{n+1,m+1}$ は、アクティブ素子の出力が電圧状態でなくなり、蓄えられていた電荷が放出され、電圧状態は中断される。

【0026】さらに、第 $i$ のサブパルスが来たときには、 $X_n$ の $(m+1)$ 番目は電圧状態となったので、 $Z_{n,m+1}$ の充電状態は解除される。以下、第 $j$ および第 $k$ のサブパルスにおいて、それぞれ、 $X_{n+1}$ 、 $X_n$ の $m$ 番目が電圧状態となったので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ の充電状態がそれぞれ、第 $k$ 、第 $j$ のサブパルス中に中断される。このような過程を経ることによって、図2のV(Z)に示すように、各画素ごとに電圧状態の時間をデジタル的にコントロールできる。

【0027】このような動作を繰り返すことにより、各画素に加わる電圧パルスの幅を図1(a)のように任意に制御することができる。

【0028】以上の説明から明らかなように、本発明を実施するにあたっては、上記のようなサブパルスは、明確に定義できるパルス状のものでなければならないわけではない。説明を簡単にするために、サブパルスという概念を持ち出したが、特に、サブパルスとサブパルスの間が明確でなく、信号としては、ほとんど境界のないものであっても、本発明を実施できることはあきらかである。さらに、説明をわかりやすくするために、信号のゼロレベルと電圧レベルを明確にしたが、これは、液晶あるいはTFTのしきい値電圧以下であるか、以上であるかという問題だけであるので、絶対にゼロである必要はない。また、電圧とは任意の点の電位を基準とした相対的な物理量であるので、以上の例において、パルスは逆の極性を持つものであっても、構わないことは明らかであろう。また、以上の例では、画面は1行ずつ順に走査されていたが、最初に $Y_1$ 、 $Y_3$ 、 $Y_5$ ...というように走査し、その後、 $Y_2$ 、 $Y_4$ 、 $Y_6$ ...というように走査する、いわゆる飛び越し走査法も可能であることは言うまでもない。

【0029】

【実施例】

『実施例1』 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、壁掛けテレビを作製したので、その説明を行う。またその際のTFTは、レーザアニールを用いた多結晶シリコンとした。

【0030】この回路構成に対応する実際の電極等の配置構成を1つの画素について、図5に示している。まず、本実施例で使用する液晶パネルの作製方法を図6を使用して説明する。本発明を実施するためには、1つの画素にNTFTとPTFTが2つずつ必要であるので、計4つのTFTを図に示すが、簡略化のために、番号は

(6)

9

NTFTとPTFTの一方にのみ付して説明する。図6(A)において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス50上にマグネトロンRF(高周波)スパッタ法を用いてプロッキング層51としての酸化珪素膜を1000~3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30~100Å/分であった。

【0031】この上にシリコン膜をプラズマCVD法により珪素膜52を作製した。成膜温度は250℃~350℃で行い本実施例では320℃とし、モノシラン( $\text{SiH}_4$ )を用いた。モノシラン( $\text{SiH}_4$ )に限らず、ジシラン( $\text{Si}_2\text{H}_6$ ) またトリシラン( $\text{Si}_3\text{H}_8$ )を用いてもよい。これらをPCVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02~0.10W/cm<sup>2</sup>が適当であり、本実施例では0.055W/cm<sup>2</sup>を用いた。また、モノシラン( $\text{SiH}_4$ )の流量は20SCCMとし、その時の成膜速度は約120Å/分であった。PTFTとNTFTとのスレッショールド電圧( $V_{th}$ )を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ の濃度として成膜中に添加してもよい。またTF Tのチャンネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いても良く、以下にその方法を簡単に述べる。

【0032】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400~800W、圧力は0.5Paであった。

【0033】減圧気相法で形成する場合、結晶化温度よりも100~200℃低い450~550℃、例えば530℃でジシラン( $\text{Si}_2\text{H}_6$ )またはトリシラン( $\text{Si}_3\text{H}_8$ )をCVD装置に供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度は50~250Å/分であった。PTFTとNTFTとのスレッショールド電圧( $V_{th}$ )を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0034】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{cm}^{-3}$ 以下であることが好ましい。結晶化を助長させるためには、酸素濃度を $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまうため、この濃度を選択した。この酸素濃度が高いと、結晶化させにくく、レーザーアニール温度を高くまたはレーザーアニール時間を長くしなければ

10

ばならない。水素は $4 \times 10^{20} \text{cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{cm}^{-3}$ として比較すると1原子%であった。

【0035】また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下とし、ピクセル構成するTF Tのチャンネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{cm}^{-3}$ となるように添加してもよい。上記方法によって、アモルファス状態の珪素膜を500~5000Å、本実施例では1000Åの厚さに成膜した。

【0036】その後、フォトレジスト53をマスクP1を用いてソース・ドレイン領域のみ開孔したパターンを形成した。その上に、プラズマCVD法によりn型の活性層となる珪素膜54を作製した。成膜温度は250℃~350℃でおこない、本実施例では320℃とし、モノシラン( $\text{SiH}_4$ )とモノシランベースのフォスフィン( $\text{PH}_3$ )3%濃度のものを用いた。これらをPCVD装置内5Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.05~0.20W/cm<sup>2</sup>が適当であり、本実施例では0.120W/cm<sup>2</sup>を用いた。

【0037】この方法によって出来上がったn型シリコン層の比導電率は $2 \times 10^{-1} [\Omega \text{cm}^{-1}]$ 程度となった。膜厚は50Åとした。その後リフトオフ法を用いて、レジスト53を除去し、ソース・ドレイン領域55、56を形成した。

【0038】同様のプロセスを用いて、p型の活性層を形成した。その際の導入ガスは、モノシラン( $\text{SiH}_4$ )とモノシランベースのジボラン( $\text{B}_2\text{H}_6$ )5%濃度のものを用いた。これらをPCVD装置内に4Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.05~0.20W/cm<sup>2</sup>が適当であり、本実施例では0.120W/cm<sup>2</sup>を用いた。この方法によって出来上がったp型シリコン層の比導電率は $5 \times 10^{-2} [\Omega \text{cm}^{-1}]$ 程度となった。膜厚は50Åとした。その後N型領域と同様にリフトオフ法を用いて、ソース・ドレイン領域59、60を形成した。その後、マスクP3を用いて珪素膜52をエッチング除去し、Nチャンネル型薄膜トランジスタ用アイランド領域63とPチャンネル型薄膜トランジスタ用アイランド領域64を形成した。

【0039】その後XeClエキシマレーザーを用いて、ソース・ドレイン・チャンネル領域をレーザーアニールすると同時に、活性層にレーザードーピングを行なった。この時のレーザーエネルギーは、閾値エネルギーが130mJ/cm<sup>2</sup>で、膜厚全体が溶融するには220mJ/cm<sup>2</sup>が必要となる。しかし、最初から220mJ/cm<sup>2</sup>以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起きる。そのために低エネルギーで最初に水素を追い出した

(7)

11

後に熔融させる必要がある。本実施例では最初 $150\text{ mJ/cm}^2$ で水素の追い出しを行なった後、 $230\text{ mJ/cm}^2$ で結晶化をおこなった。

【0040】この上に酸化珪素膜をゲート絶縁膜として $500\sim2000\text{ \AA}$ 例えば $1000\text{ \AA}$ の厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0041】この後、この上側にリンが $1\sim5\times10^{21}\text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 $\text{MoSi}_2$ または $\text{WSi}_2$ との多層膜を形成した。これを第4のフォトリソパターニングして図6(D)を得た。NTFT用のゲート電極66、PTFT用のゲート電極67を形成した。例えばチャネル長 $7\text{ }\mu\text{m}$ 、ゲート電極としてリンドーピング珪素を $0.2\text{ }\mu\text{m}$ 、その上にモリブデンを $0.3\text{ }\mu\text{m}$ の厚さに形成した。同時に、図6(D')に示すように、ゲート配線65とそれに並行して設置された配線68もパターニングした。

【0042】また、ゲート電極材料としてアルミニウム(Al)を用いた場合、これを第4のフォトリソパターニング後、その表面を陽極酸化することで、セルフアライン工法が適用可能なため、ソース・ドレインのコンタクトホールをよりゲートに近い位置に形成することが出来るため、移動度、スレッシュホールド電圧の低減からさらにTFTの特性を上げることができる。

【0043】かくすると、 $400^\circ\text{C}$ 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にき

わめて適したプロセスであるといえる。

【0044】図6(E)において、層間絶縁物68を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2\sim0.6\text{ }\mu\text{m}$ の厚さに形成し、その後、第5のフォトリソパターニングを用いて電極用の窓79を形成した。その後、さらに、これら全体にアルミニウムを $0.3\text{ }\mu\text{m}$ の厚みにスパッタ法により形成し第6のフォトリソパターニングを用いてリード74およびコンタクト73、75を作製した。こうして、図6(E)と(E')を得た。その後、表面を平坦化用有機樹脂77例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけを第7のフォトリソパターニングで行った。さらに、これら全体にITO(インジウム酸化錫)を $0.1\text{ }\mu\text{m}$ の厚みにスパッタ法により形成し第8のフォトリソパターニングを用いて画素電極71を形成した。このITOは室温 $\sim150^\circ\text{C}$ で成膜し、 $200\sim400^\circ\text{C}$ の酸素または大気中のアニールにより成就した。

【0045】こうして、図6(F)と(F')を得た。図6(F')のA-A'の断面図を図6(G)に示す。

12

実際には、この上に液晶材料をはさんで、対向電極が設けられ、図に示すように、対向電極と画素電極71の間に静電容量が生じる。それと同時に配線68と電極71の間にも静電容量が生じる。そして、配線68を対向電極と同電位に保つことによって、図4に示したように、液晶画素に並列に容量が挿入された回路を構成することとなる。特に本実施例のように配置することによって、配線68はゲート配線65と平行であるので、2配線間の規制容量が少なく、したがって、ゲート配線を伝わる信号の減衰や遅延を減らす効果がある。

【0046】また、このようにして形成された配線68は、接地して使用される場合には、各マトリクス配線の終端に設けられる保護回路の接地線として使用できる。保護回路は、図9に示されるように、周辺の駆動回路と画素の間に設けられた図10と図11で示されるような回路をいう。いずれも画素に過大な電圧がかかるとON状態となり、電圧を取り去る作用を有する。これらの保護回路は、シリコンのようなドーピングされた、あるいはドーピングされていない半導体材料や、ITOのような透明導電材料、あるいは通常の配線材料を用いて構成される。したがって、画素の回路を形成するとき同時に形成することが可能である。

【0047】このことは、例えば、図10の保護回路が、NTFTやPTFT、あるいはそれらをあわせたC/TFTで構成されていることから明らかであろう。また、図11の保護回路はTFTは使用されていないが、ダイオードは、例えばPIN接合によって構成され、また、特にツェナー特性を重視するダイオードはNIN、PIP、NPN、あるいはPNPといった構造を有し、

いちいち説明するまでもなく、本実施例で示した作製方法を援用することによって作製されうことは明確である。

【0048】さて、以上のようにして得られたTFTの電気的な特性はPTFTで移動度は $40\text{ (cm}^2/\text{Vs)}$ 、 $V_{th}$ は $-5.9\text{ (V)}$ で、NTFTで移動度は $80\text{ (cm}^2/\text{Vs)}$ 、 $V_{th}$ は $5.0\text{ (V)}$ であった。

【0049】上記の様な方法に従って作製された液晶電気光学装置用の一方の基板を得ることが出来る。この液晶表示装置の電極等の配置の様子を図5に示している。本発明による変形インバータを構成するTFTが信号線 $Y_1$ と $Y_2$ の間、および $Y_2$ と $Y_3$ の間に、信号線 $X_1$ 、 $X_2$ に平行に設けられている。このようなC/TFTを用いたマトリクス構成を有せしめた。かかる構造を左右、上下に繰り返すことにより、 $640\times480$ 、 $1280\times960$ といった大画面の液晶表示装置とすることができる。本実施例では $1920\times400$ とした。この様にして第1の基板を得た。

【0050】他方の基板の作製方法を図7に示す。ガラス基板上にポリイミドに黒色顔料を混合したポリイミド樹脂をスピンコート法を用いて $1\text{ }\mu\text{m}$ の厚みに成膜し、



(8)

13

第9のフォトマスクP9を用いてブラックストライプ81を作製した。その後、赤色顔料を混合したポリイミド樹脂をスピンコート法を用いて1 $\mu$ mの厚みに成膜し、第10のフォトマスクP10を用いて赤色フィルター83を作製した。同様にしてマスクP11、P12を使用し、緑色フィルター85および青色フィルター86を作製した。これらの作製中各フィルターは350℃にて窒素中で60分の焼成を行なった。その後、やはりスピンコート法を用いて、レベリング層89を透明ポリイミドを用いて作製した。

【0051】その後、これら全体にITO（インジウム酸化錫）を0.1 $\mu$ mの厚みにスパッタ法により形成し第10のフォトマスクP10を用いて共通電極90を形成した。このITOは室温～150℃で成膜し、200～300℃の酸素または大気中のアニールにより成就し、第2の基板を得た。

【0052】前記基板上に、オフセット法を用いて、ポリイミド前駆体を印刷し、非酸化性雰囲気たとえば窒素中にて350℃1時間焼成を行った。その後、公知のラビング法を用いて、ポリイミド表面を改質し、少なくとも初期において、液晶分子を一定方向に配向させる手段を設けた。

【0053】その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の駆動ICと共通信号、電位配線を有するPCBを接続し、外側に偏光板を貼り、透過型の液晶電気光学装置を得た。これと冷陰極管を3本配置した後部照明装置、テレビ電波を受信するチューナーを接続し、壁掛けテレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶画面に印加することにより確認された。

【0054】『実施例2』 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、壁掛けテレビを作製したので、その説明を行う。またその際のTFTは、レーザーアニールを用いた多結晶シリコンとした。

【0055】以下では、TFT部分の作製方法について図8にしたがって記述する。図8(A)において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス100上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層101としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

【0056】この上にシリコン膜をプラズマCVD法に

14

より珪素膜102を作製した。成膜温度は250℃～350℃で行い本実施例では320℃とし、モノシラン(SiH<sub>4</sub>)を用いた。モノシラン(SiH<sub>4</sub>)に限らず、ジシラン(Si<sub>2</sub>H<sub>6</sub>) またトリシラン(Si<sub>3</sub>H<sub>8</sub>)を用いてもよい。これらをPCVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02～0.10W/cm<sup>2</sup>が適当であり、本実施例では0.055W/cm<sup>2</sup>を用いた。また、モノシラン(SiH<sub>4</sub>)の流量は20SCCMとし、その時の成膜速度は約120Å/分であった。PTFTとNTFTとのスレッショールド電圧(V<sub>th</sub>)を概略同一に制御するため、ホウ素をジボランを用いて1×10<sup>15</sup>～1×10<sup>18</sup>cm<sup>-3</sup>の濃度として成膜中に添加してもよい。またTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いても良く、以下にその方法を簡単に述べる。

【0057】スパッタ法で行う場合、スパッタ前の背圧を1×10<sup>-5</sup>Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0058】減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン(Si<sub>2</sub>H<sub>6</sub>)またはトリシラン(Si<sub>3</sub>H<sub>8</sub>)をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は50～250Å/分であった。PTFTとNTFTとのスレッショールド電圧(V<sub>th</sub>)を概略同一に制御するため、ホウ素をジボランを用いて1×10<sup>15</sup>～1×10<sup>18</sup>cm<sup>-3</sup>の濃度として成膜中に添加してもよい。

【0059】これらの方法によって形成された被膜は、酸素が5×10<sup>21</sup>cm<sup>-3</sup>以下であることが好ましい。結晶化を助長させるためには、酸素濃度を7×10<sup>19</sup>cm<sup>-3</sup>以下、好ましくは1×10<sup>19</sup>cm<sup>-3</sup>以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまうため、この濃度を選択した。この酸素濃度が高いと、結晶化させにくく、レーザーアニール温度を高くまたはレーザーアニール時間を長くしなければならない。水素は4×10<sup>20</sup>cm<sup>-3</sup>であり、珪素4×10<sup>22</sup>cm<sup>-3</sup>として比較すると1原子%であった。

【0060】また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を7×10<sup>19</sup>cm<sup>-3</sup>以下、好ましくは1×10<sup>19</sup>cm<sup>-3</sup>以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により5×10<sup>20</sup>～5×10<sup>21</sup>cm<sup>-3</sup>となるように添加してもよい。上記方法によって、アモルファス状態の珪素膜を500～5000Å、本実施例では1000Åの厚さに成膜した。



(9)

15

【0061】その後、フォトレジスト103をマスクP1を用いてNTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト103をマスクとして、リンイオンをイオン注入法により、 $2 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、好ましくは $2 \times 10^{16} \text{ cm}^{-2}$ だけ、注入し、n型不純物領域104を形成した。その後、レジスト103は除去された。

【0062】同様に、レジスト105を塗布し、マスクP2を用いて、PTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト105をマスクとして、p型の不純物領域106を形成した。不純物としては、ホウ素を用い、やはりイオン注入法を用いて、 $2 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、好ましくは $2 \times 10^{16} \text{ cm}^{-2}$ だけ、不純物を導入した。このようにして、図8(B)を得た。

【0063】その後、珪素膜102上に、厚さ50~300nm、例えば、100nmの酸化珪素被膜107を、上記のRFスパッタ法によって形成した。そして、XeClエキシマレーザーを用いて、ソース・ドレイン・チャネル領域をレーザーアニールによって、結晶化・活性化した。この時のレーザーエネルギーは、閾値エネルギーが $130 \text{ mJ/cm}^2$ で、膜厚全体が熔融するには $220 \text{ mJ/cm}^2$ が必要となる。しかし、最初から $220 \text{ mJ/cm}^2$ 以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起きる。そのために低エネルギーで最初に水素を追い出した後に熔融させる必要がある。本実施例では最初 $150 \text{ mJ/cm}^2$ で水素の追い出しを行なった後、 $230 \text{ mJ/cm}^2$ で結晶化をおこなった。さらに、レーザーアニール終了後は酸化珪素膜107は取り去った。

【0064】その後、フォトマスクP3によって、アイランド状のNTFT領域111とPTFT領域112を形成した。この上に酸化珪素膜108をゲイト絶縁膜として500~2000Å例えば1000Åの厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0065】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 $\text{MoSi}_2$ または $\text{WSi}_2$ との多層膜を形成した。これを第4のフォトマスクP4にてパターンニングして図6(D)を得た。NTFT用のゲイト電極109、PTFT用のゲイト電極110を形成した。例えばチャネル長 $7 \mu\text{m}$ 、ゲイト電極としてリンドーパ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。図には示されていないが、実施例1の場合と同様にゲイト配線とそれに平行な配線も形成した。

【0066】この配線の材料としては、上記の材料以外にも、例えばアルミニウム(A1)を用いることも可能

16

である。アルミニウムを用いた場合、これを第4のフォトマスクP4にてパターンニング後、その表面を陽極酸化することで、セルフアライン工法が適用可能なため、ソース・ドレインのコンタクトホールをよりゲートに近い位置に形成することが出来るため、移動度、スレッシユホールド電圧の低減からさらにTFTの特性を上げることができる。

【0067】かくすると、 $400^\circ\text{C}$ 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスであるといえる。

【0068】図8(E)において、層間絶縁物113を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、第5のフォトマスクP5を用いて電極用の窓117を形成した。その後、さらに、これら全体にアルミニウムを $0.3 \mu\text{m}$ の厚みにスパッタ法により形成し第6のフォトマスクP6を用いてリード116およびコンタクト114、115を作製した後、表面を平坦化用有機樹脂119、例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけを第7のフォトマスクP7にて行った。さらに、これら全体にITO(インジウム酸化錫)を $0.1 \mu\text{m}$ の厚みにスパッタ法により形成し第8のフォトマスクP8を用いて画素電極118を形成した。このITOは室温~ $150^\circ\text{C}$ で成膜し、 $200 \sim 400^\circ\text{C}$ の酸素または大気中のアニールにより成就した。

【0069】得られたTFTの電気的な特性はPTFTで移動度は $35 (\text{cm}^2/\text{Vs})$ 、 $V_{th}$ は $-5.9 (\text{V})$ で、NTFTで移動度は $90 (\text{cm}^2/\text{Vs})$ 、 $V_{th}$ は $4.8 (\text{V})$ であった。

【0070】上記の様な方法に従って作製された液晶電気光学装置用の一方の基板を得ることが出来た。他方の基板の作製方法は実施例1と同じであるので省略する。その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の駆動ICと共通信号、電位配線を有するPCBを接続し、外側に偏光板を貼り、透過型の液晶電気光学装置を得た。これと冷陰極管を3本配置した後部照明装置、テレビ電波を受信するチューナーを接続し、壁掛けテレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶画素に印加することにより確認された。

【0071】

【発明の効果】本発明では、従来のアナログ方式の階調

(10)

17

表示に対し、デジタル方式の階調表示を行うことを特徴としている。その効果として、例えば $640 \times 400$ ドットの画素数を有する液晶電気光学装置を想定したばあい、合計256,000個のTFTすべての特性をばらつき無く作製することは、非常に困難を有し、現実的には量産性、歩留りを考慮すると、16階調表示が限界と考えられているのに対し、本発明のように、全くアナログ的な信号を加えることなく純粋にデジタル制御のみで階調表示することにより、256階調表示以上の階調表示が可能となった。完全なデジタル表示であるので、TFTの特性ばらつきによる階調の曖昧さは全くなり、したがって、TFTのばらつきが少々あっても、極めて均質な階調表示が可能であった。したがって、従来はばらつきの少ないTFTを得るために極めて歩留りが悪かったのに対し、本発明によって、TFTの歩留りがさほど問題とされなくなったため、液晶装置の歩留りは向上し、作製コストも著しく抑えることができた。

【0072】例えば $640 \times 400$ ドットの256,000組のTFTを $300\text{mm}$ 角に作成した液晶電気光学装置に対し通常のアナログ的な階調表示を行った場合、TFTの特性ばらつきが約 $\pm 10\%$ 存在するために、16階調表示が限界であった。しかしながら、本発明によるデジタル階調表示をおこなった場合、TFT素子の特性ばらつきの影響を受けにくいために、256階調表示まで可能になりカラー表示ではなんと16,777,216色の多彩であり微妙な色彩の表示が実現できている。テレビ映像の様なソフトを映す場合、例えば同一色からなる『岩』でもその微細な窪み等から微妙に色合いが異なる。自然の色彩に近い表示を行おうとした場合、16階調では困難を要する。本発明による階調表示によって、これらの微細な色調の変化を付けることが可能になった。

【0073】本発明の実施例では、シリコンを用いたTFTを中心に説明を加えたが、ゲルマニウムを用いたTFTも同様に使用できる。とくに、単結晶ゲルマニウム

18

の電子移動度は $3600\text{cm}^2/\text{Vs}$ 、ホール移動度は $1800\text{cm}^2/\text{Vs}$ と、単結晶シリコンの値（電子移動度で $1350\text{cm}^2/\text{Vs}$ 、ホール移動度で $480\text{cm}^2/\text{Vs}$ ）の特性を上回っているため、高速動作が要求される本発明を実行する上で極めて優れた材料である。また、ゲルマニウムは非晶質状態から結晶状態へ遷移する温度がシリコンに比べて低く、低温プロセスに向いている。また、結晶成長の際の核発生率が小さく、したがって、一般に、多結晶成長させた場合には大きな結晶が得られる。このようにゲルマニウムはシリコンと比べても遜色のない特性を有している。

【0074】本発明の技術思想を説明するために、主として液晶を用いた電気光学装置、特に表示装置を例として説明を加えたが、本発明の思想を適用するには、なにも表示装置である必要はなく、いわゆるプロジェクション型テレビやその他の光スイッチ、光シャッターであってもよい。さらに、電気光学材料も液晶に限らず、電界、電圧等の電氣的な影響を受けて光学的な特性が変わるものであれば、本発明を適用できることは明らかであろう。

#### 【図面の簡単な説明】

【図1】 本発明による駆動波形の例を示す。

【図2】 本発明による駆動波形の例を示す。

【図3】 本発明による液晶の階調表示特性の例を示す。

【図4】 本発明によるマトリクス構成の例を示す。

【図5】 実施例による素子の平面構造を示す。

【図6】 実施例によるTFTのプロセスを示す。

【図7】 実施例によるカラーフィルターの工程を示す。

【図8】 実施例によるTFTのプロセスを示す。

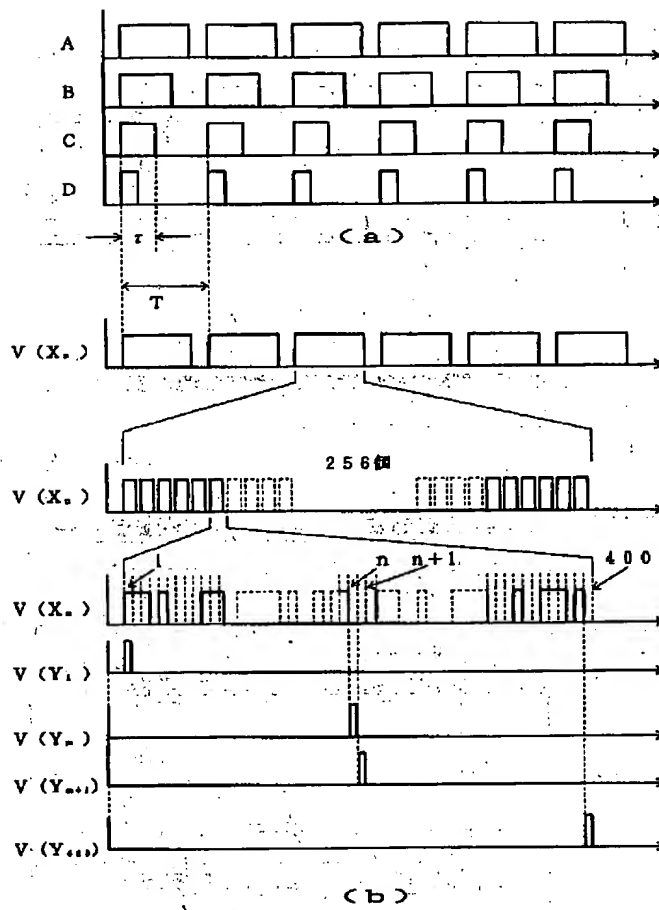
【図9】 実施例における保護回路の接続例を示す。

【図10】 実施例における保護回路の例を示す。

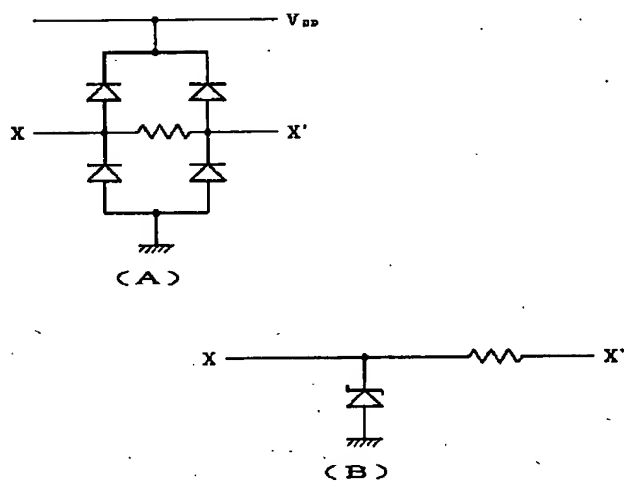
【図11】 実施例における保護回路の例を示す。

(11)

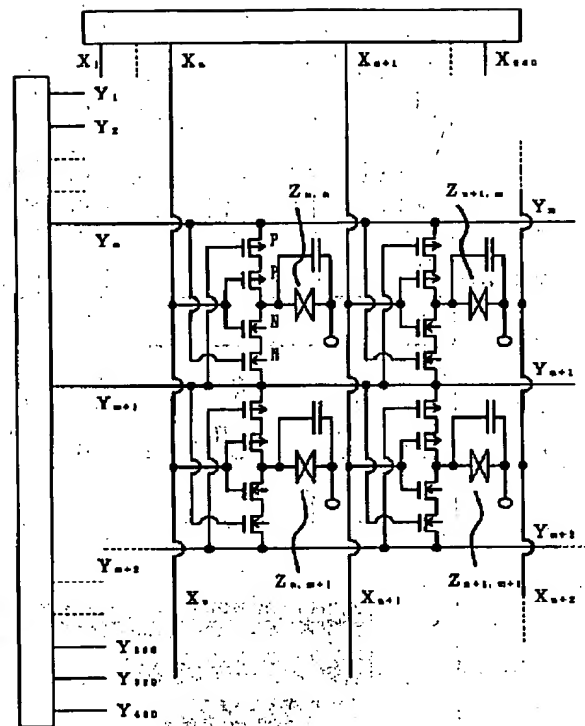
【図1】



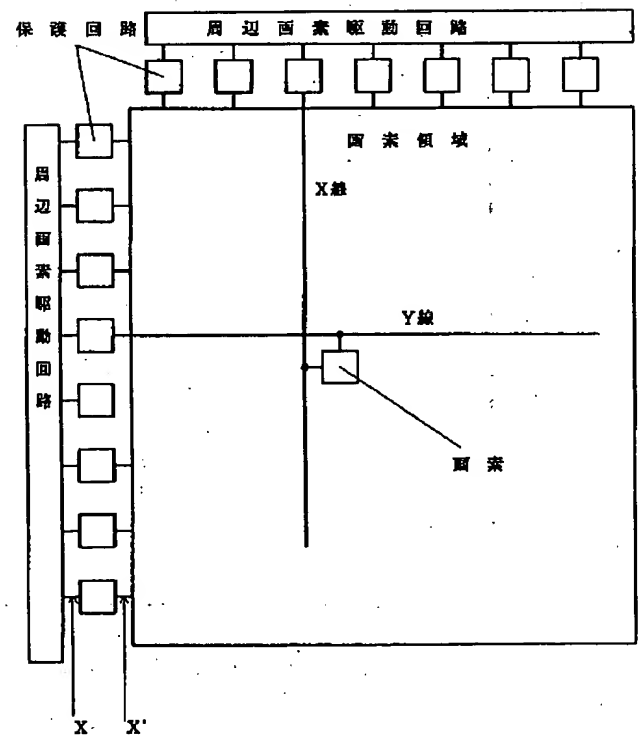
【図11】



【図4】

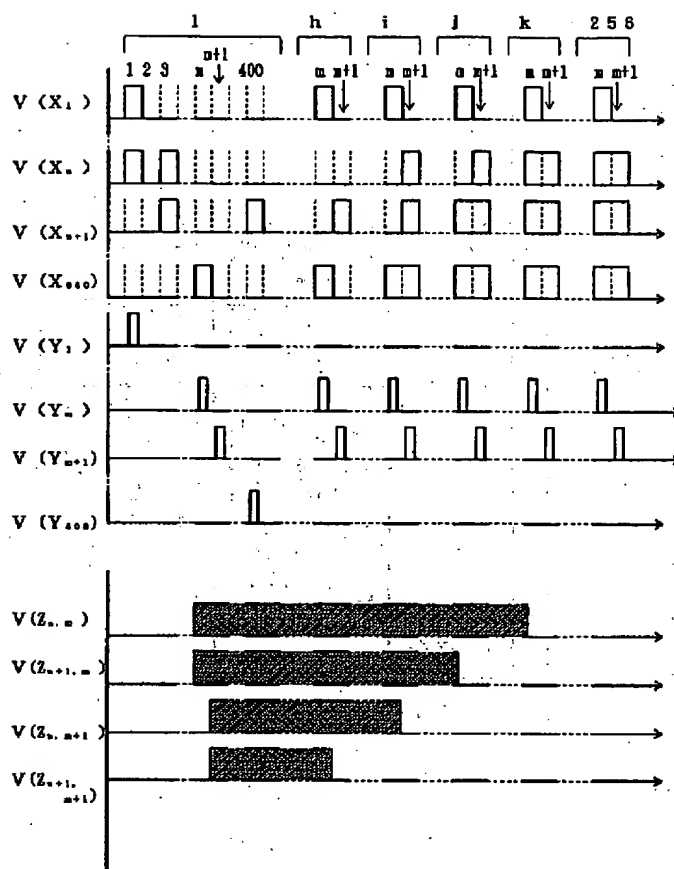


【図9】

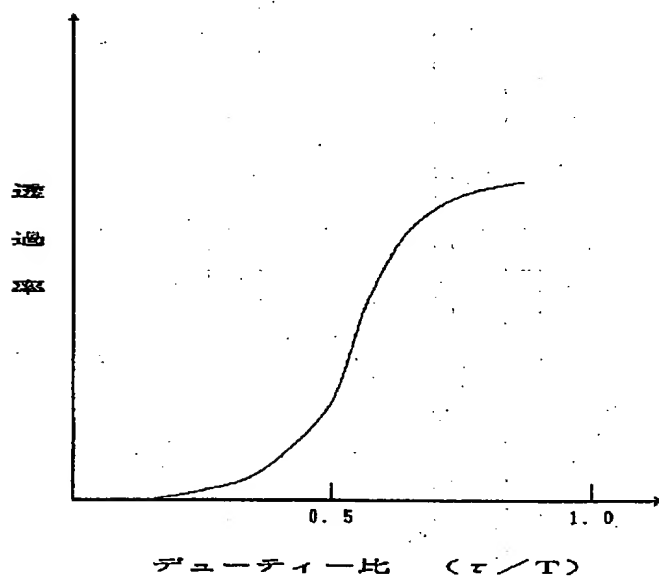


(12)

【図2】

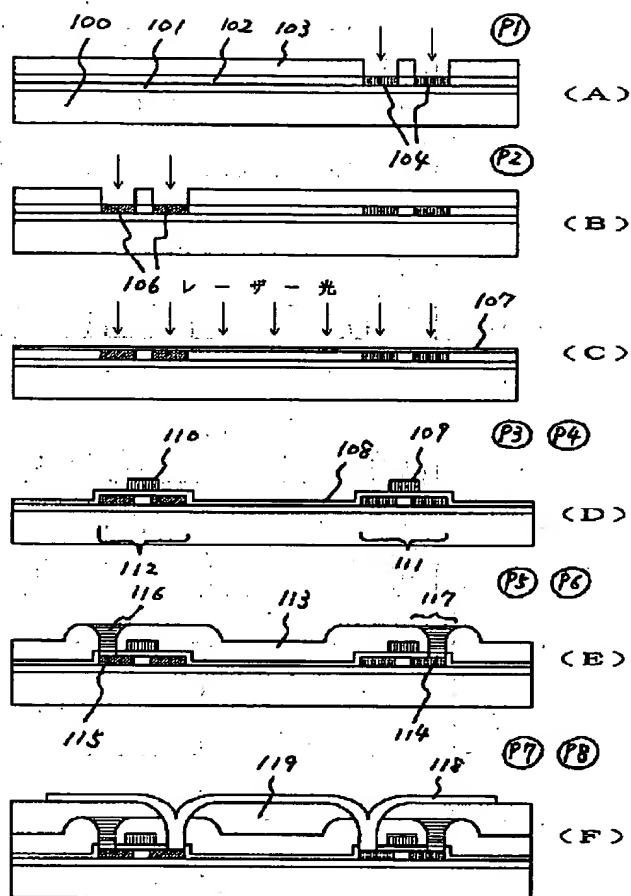


【図3】



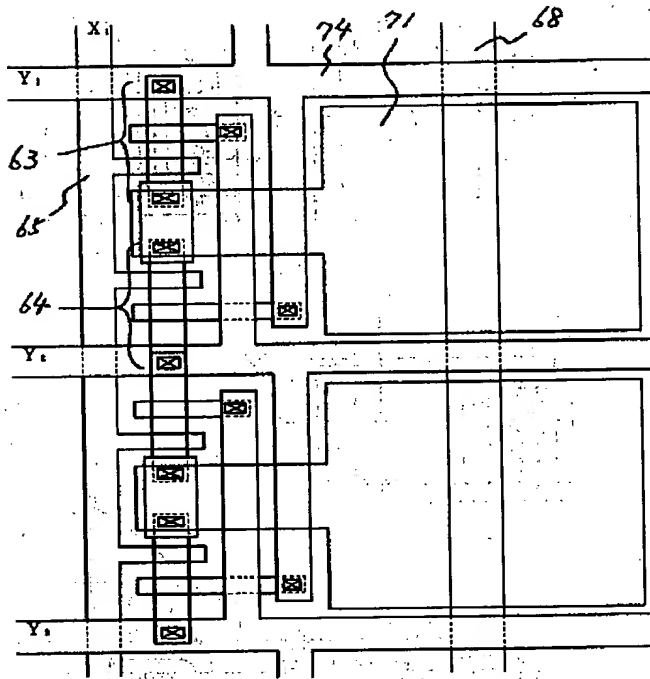
TN液晶、 $T=3\text{msec}$ の場合

【図8】

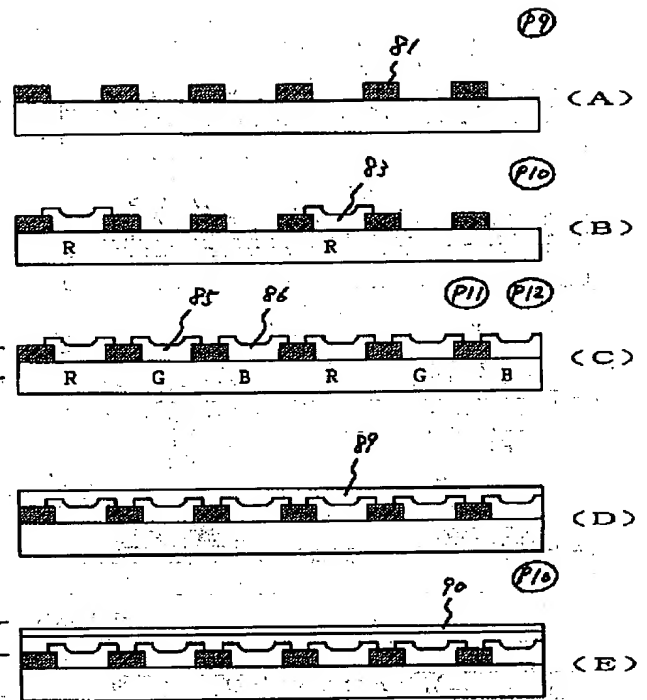


(13)

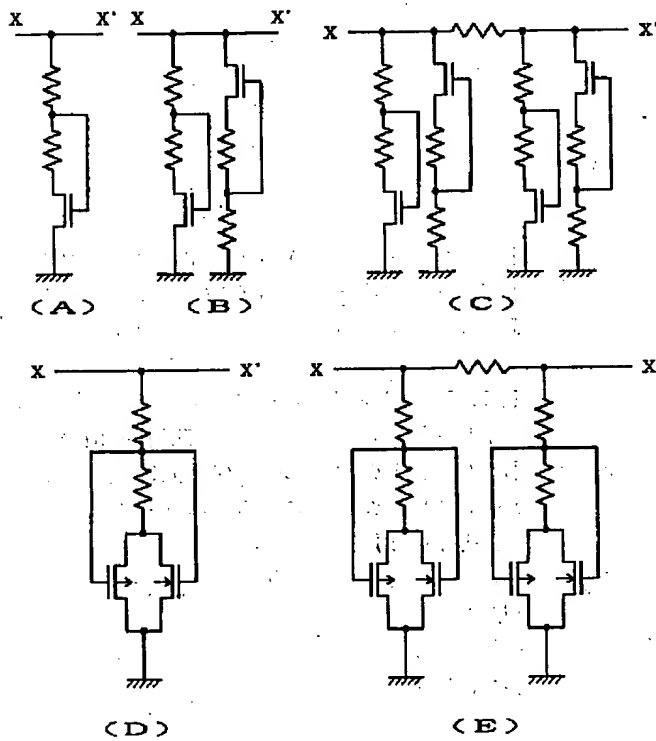
【図5】



【図7】

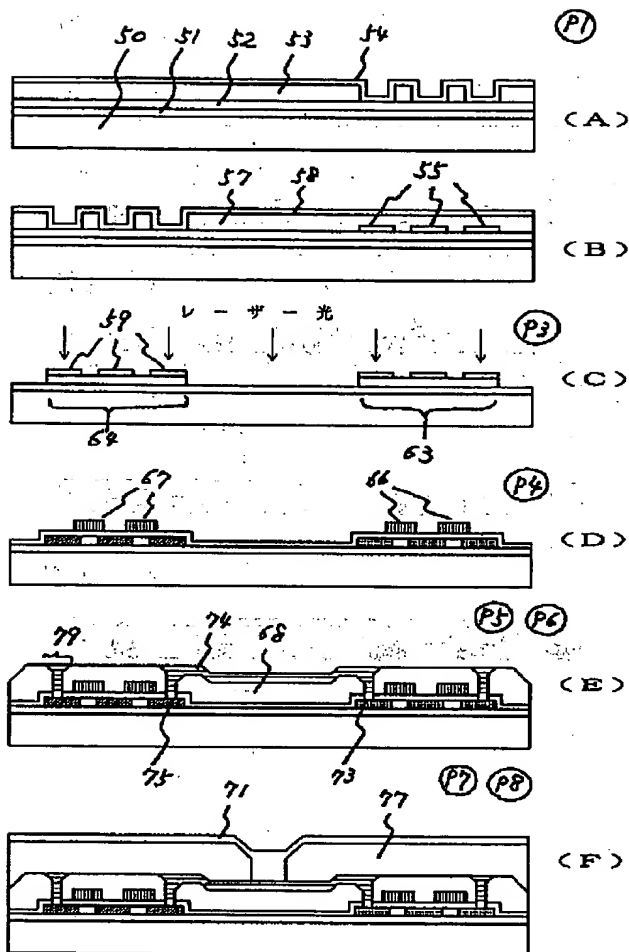


【図10】

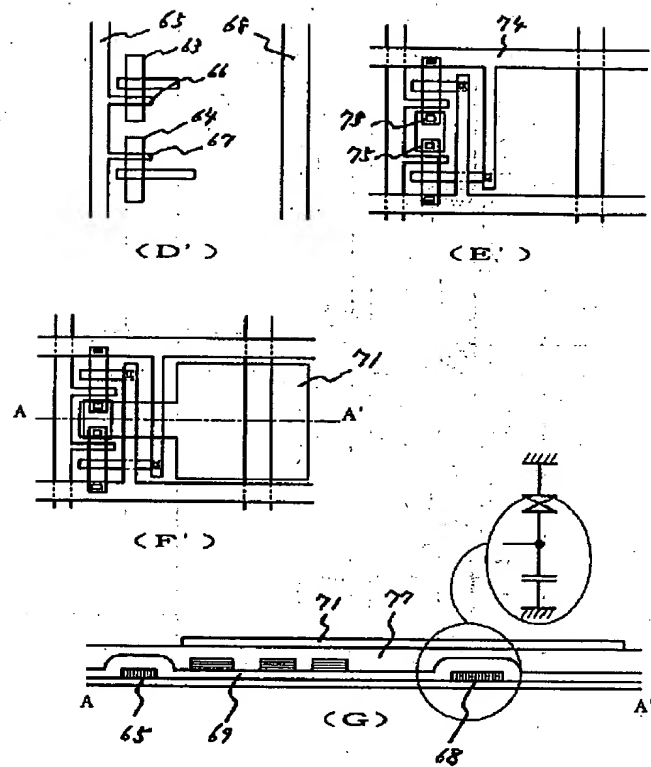


(14)

【図6】



【図6】



## 【手続補正書】

【提出日】平成5年9月9日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】 本発明による駆動波形の例を示す。

【図2】 本発明による駆動波形の例を示す。

【図3】 本発明による液晶の階調表示特性の例を示す。

【図4】 本発明によるマトリクス構成の例を示す。

【図5】 実施例による素子の平面構造を示す。

【図6】 実施例によるTFTのプロセスを示す。

【図7】 実施例によるTFTのプロセスを示す。

【図8】 実施例によるカラーフィルターの工程を示す。

【図9】 実施例によるTFTのプロセスを示す。

【図10】 実施例における保護回路の接続例を示す。

【図11】 実施例における保護回路の例を示す。

【図12】 実施例における保護回路の例を示す。

## 【手続補正2】

【補正対象書類名】図面

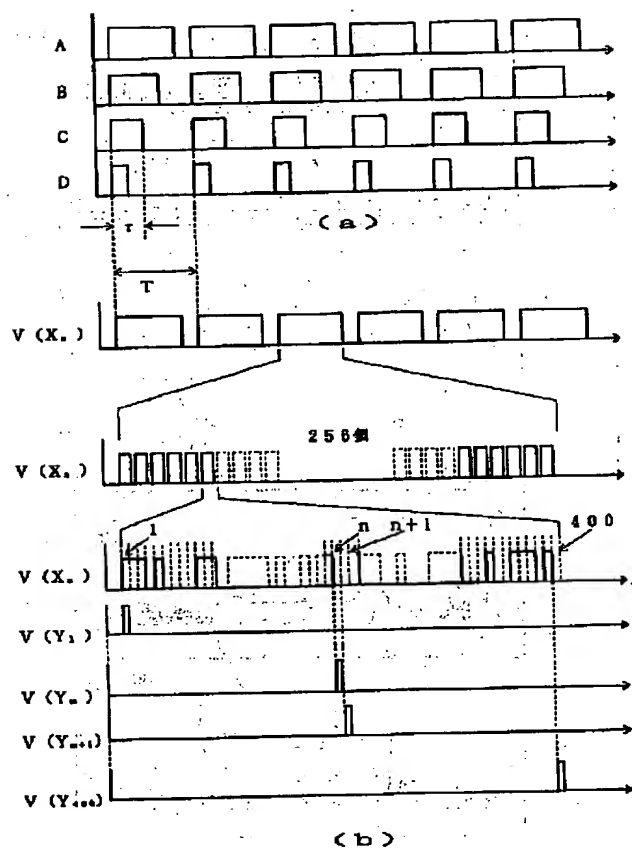
【補正対象項目名】全図

【補正方法】変更

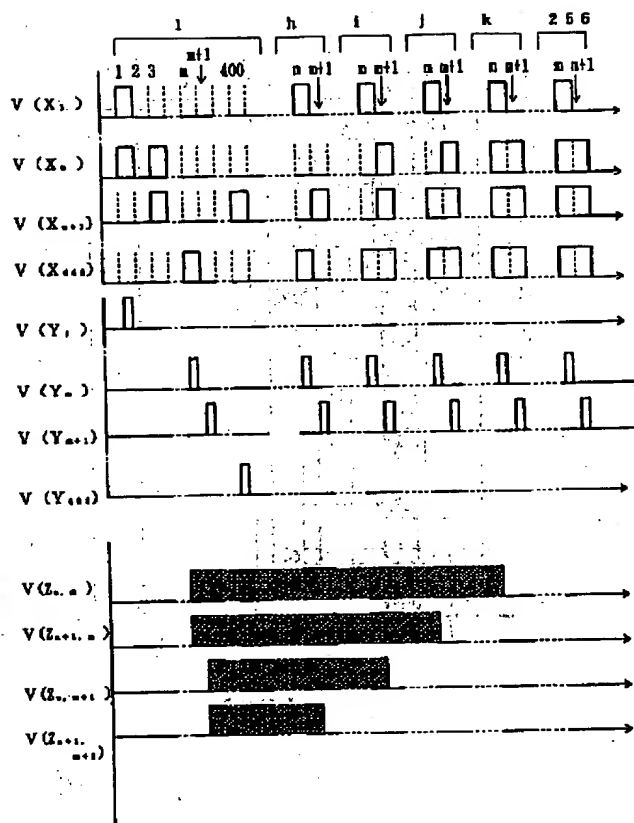
【補正内容】

(15)

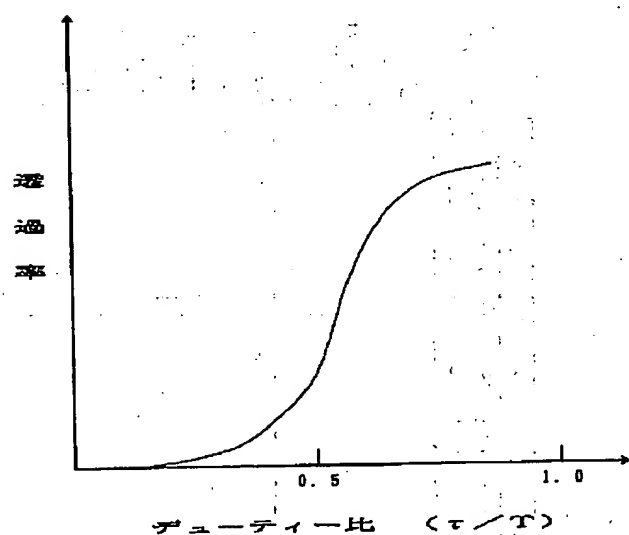
【図1】



【図2】

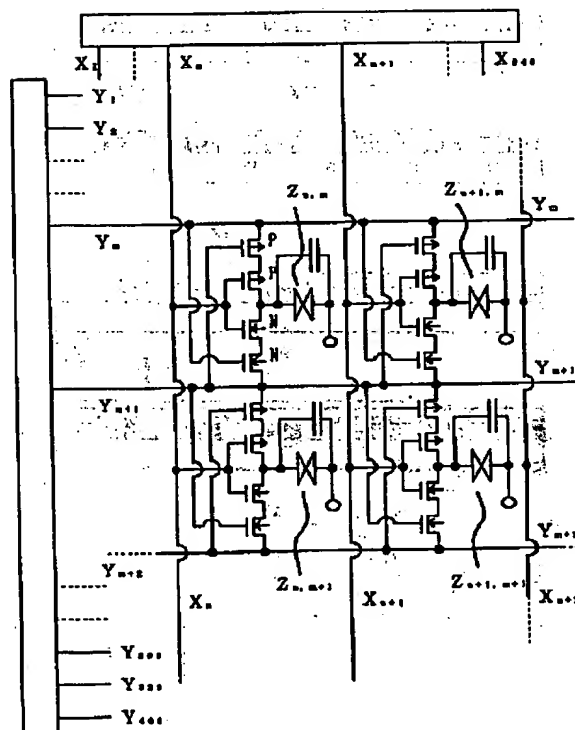


【図3】



TN液晶、 $T=3\text{ms}$  の場合

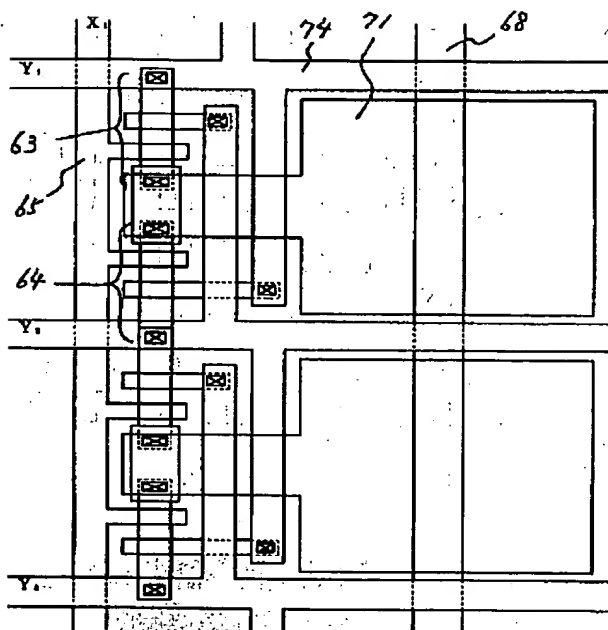
【図4】



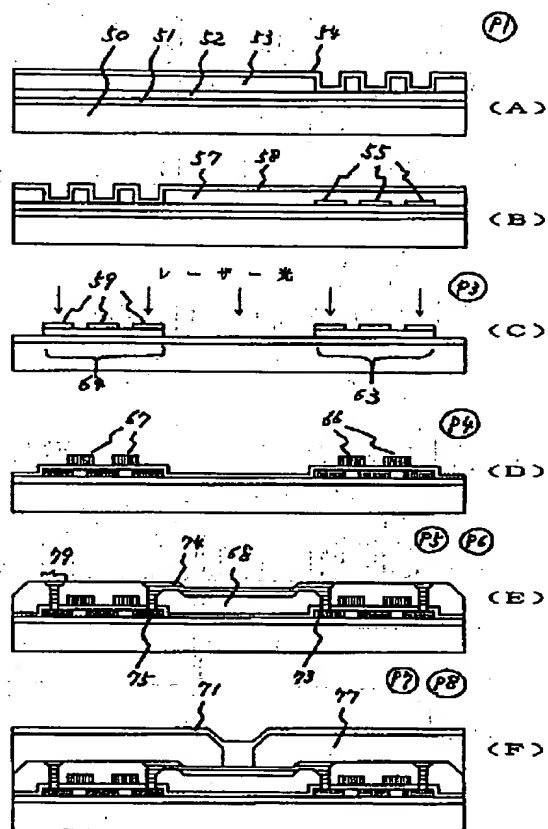


(16)

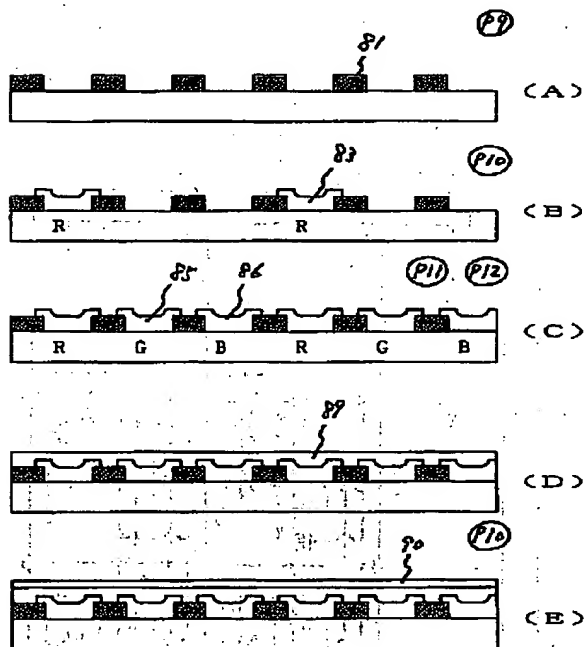
【図5】



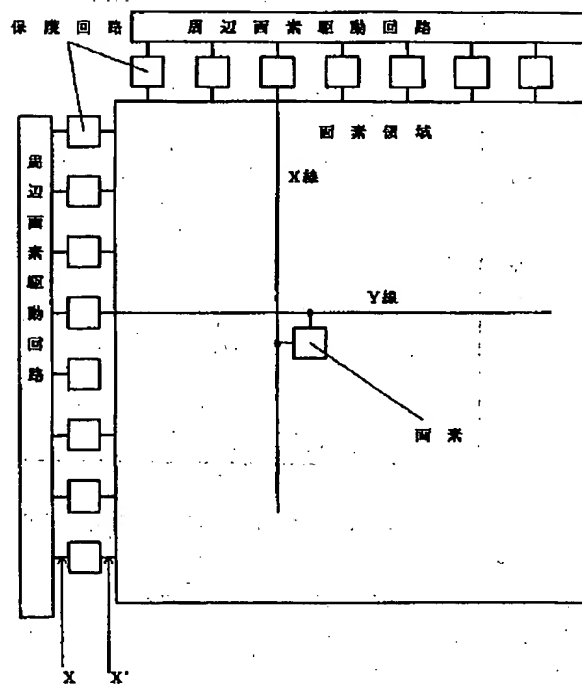
【図6】



【図8】

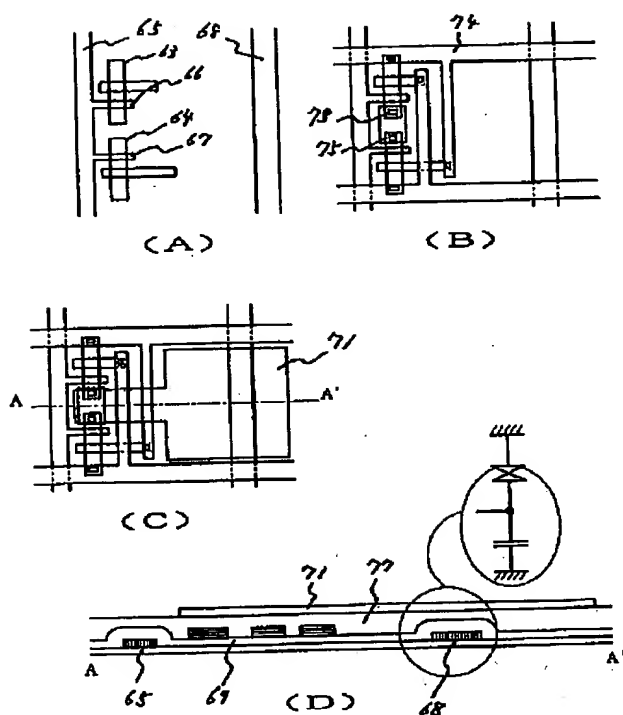


【図10】

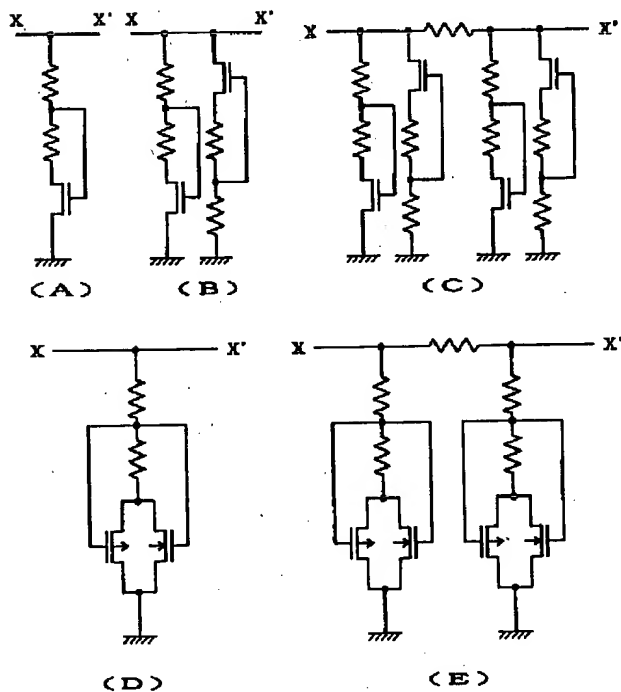


(17)

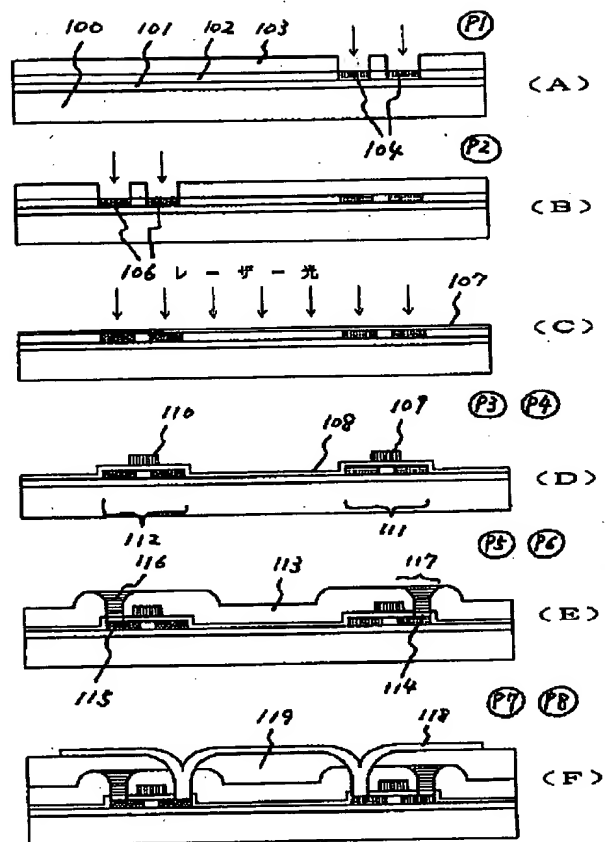
【図7】



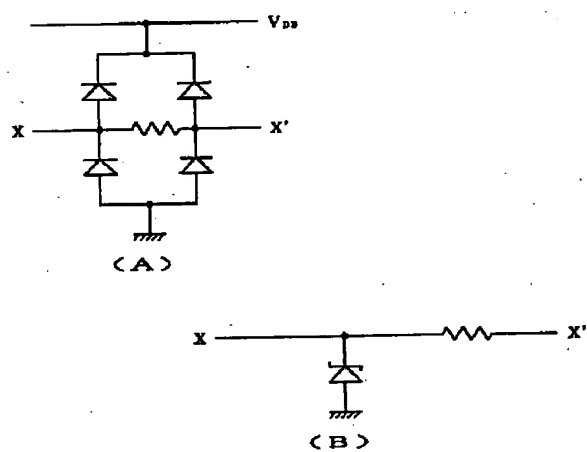
【図11】



【図9】



【図12】



(18)

フロントページの続き

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成11年(1999)6月18日

【公開番号】特開平6-95075

【公開日】平成6年(1994)4月8日

【年通号数】公開特許公報6-951

【出願番号】特願平3-163870

【国際特許分類第6版】

G02F 1/133 575  
550

G09G 3/36

【F I】

G02F 1/133 575  
550

G09G 3/36

【手続補正書】

【提出日】平成5年9月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】 本発明による駆動波形の例を示す。

【図2】 本発明による駆動波形の例を示す。

【図3】 本発明による液晶の階調表示特性の例を示す。

【図4】 本発明によるマトリクス構成の例を示す。

【図5】 実施例による素子の平面構造を示す。

【図6】 実施例によるTFTのプロセスを示す。

【図7】 実施例によるTFTのプロセスを示す。

【図8】 実施例によるカラーフィルターの工程を示す。

【図9】 実施例によるTFTのプロセスを示す。

【図10】 実施例における保護回路の接続例を示す。

【図11】 実施例における保護回路の例を示す。

【図12】 実施例における保護回路の例を示す。

【手続補正2】

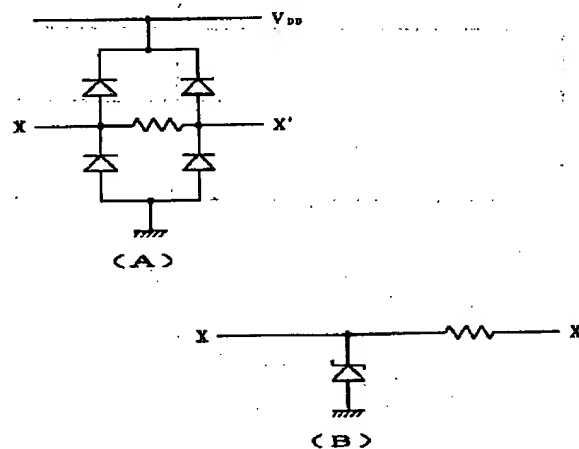
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

【補正内容】

【図12】

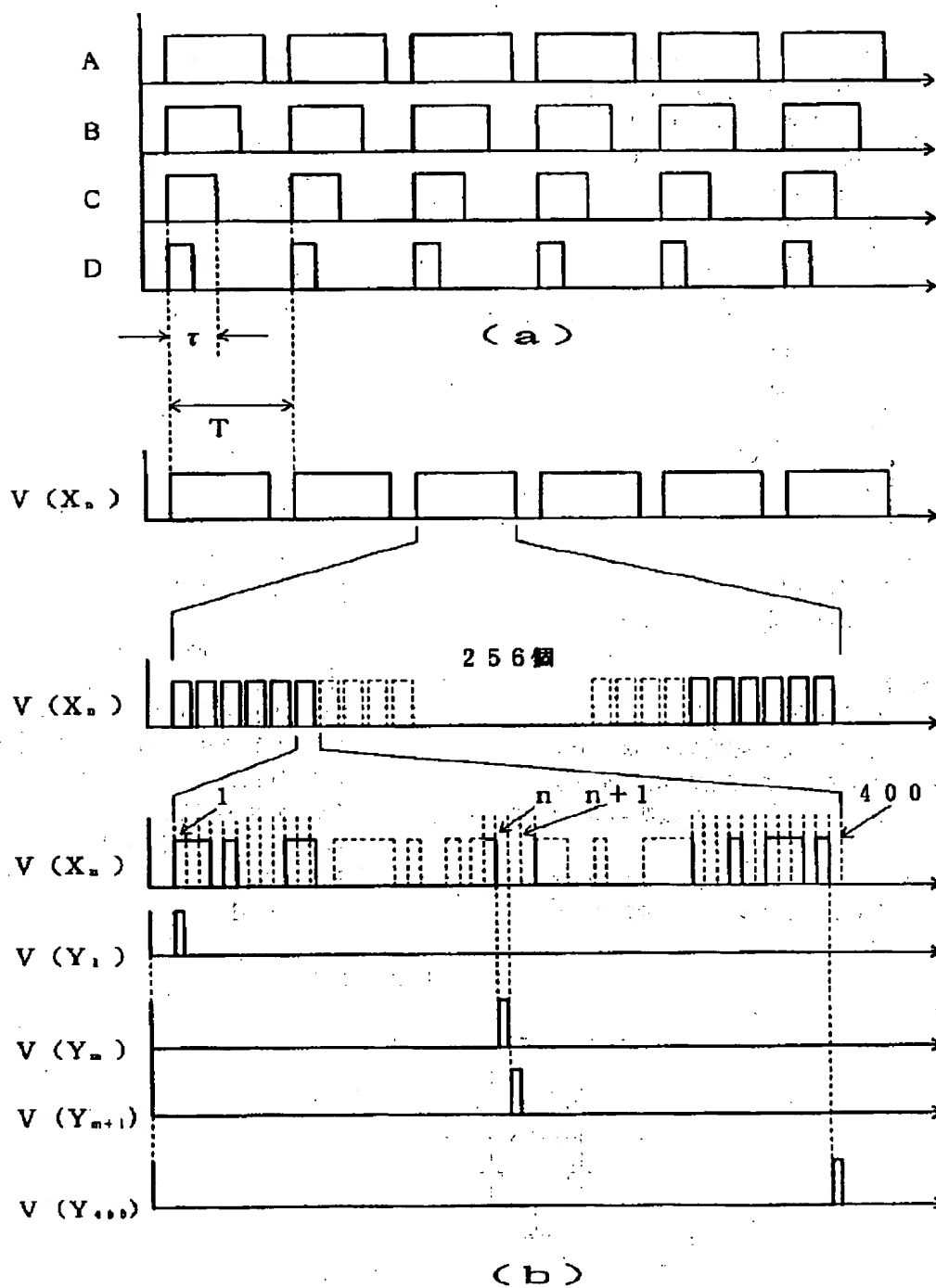


(2)

1

2

【図1】

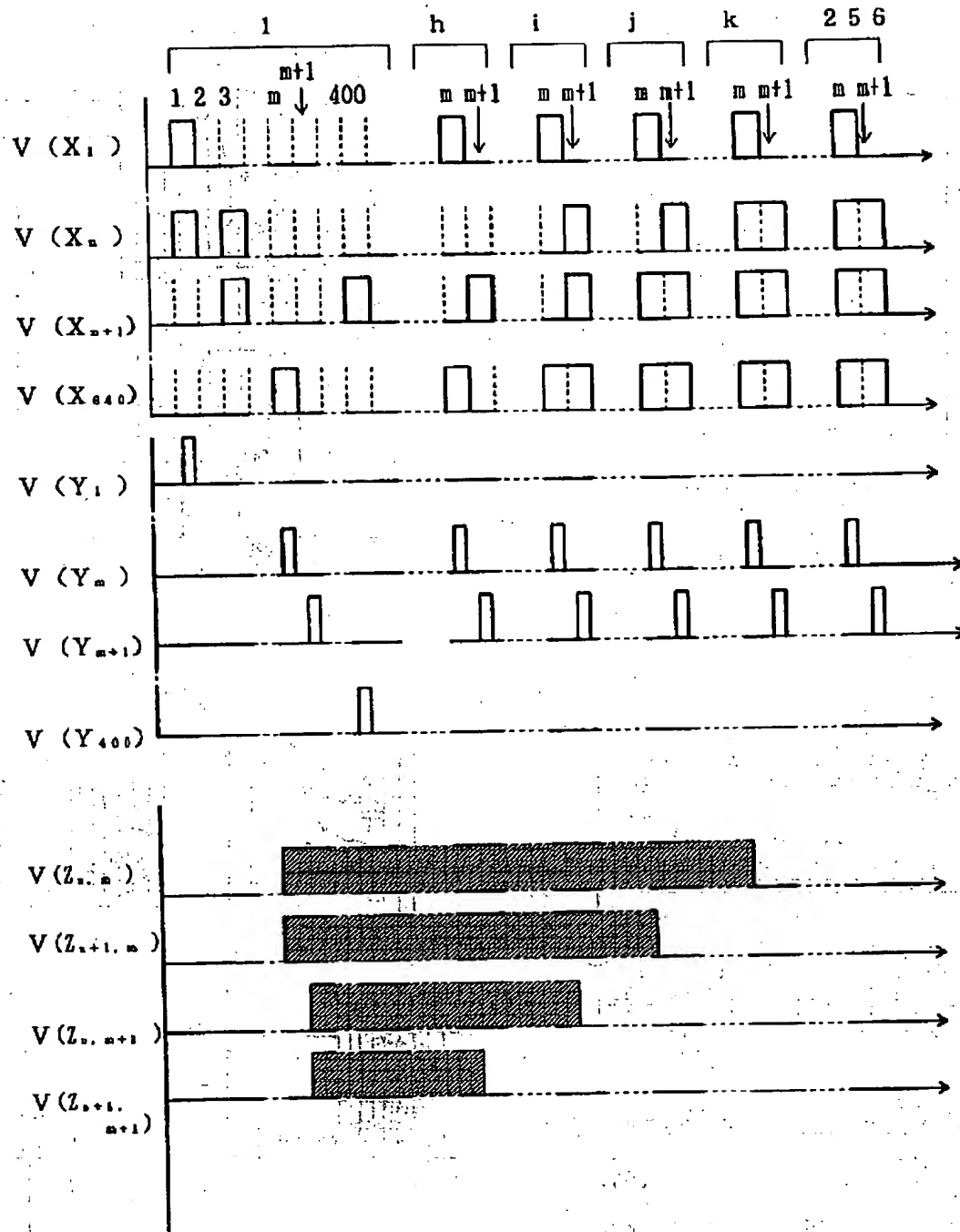


(3)

3

4

【図2】

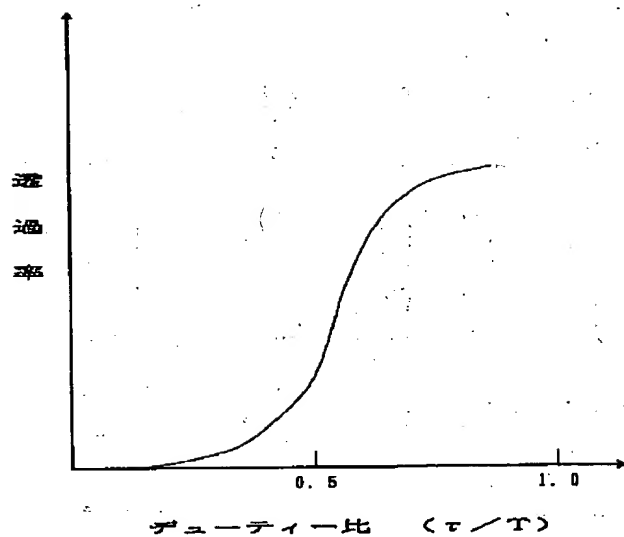


(4)

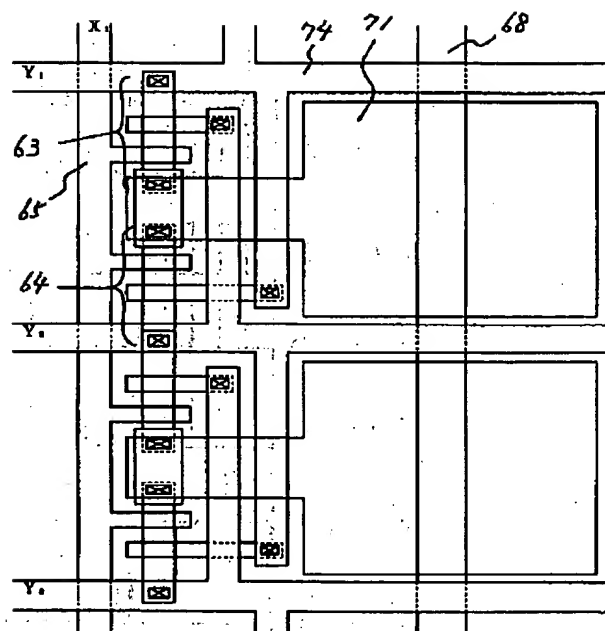
5

6

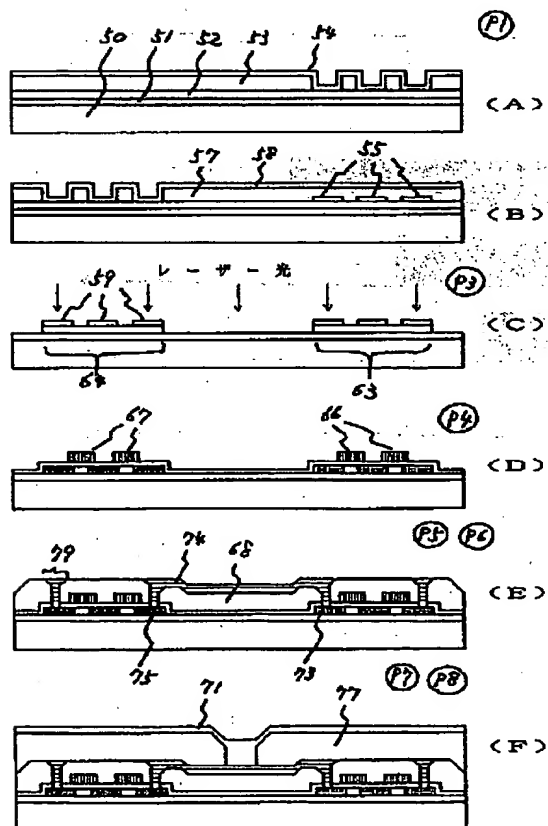
【図3】



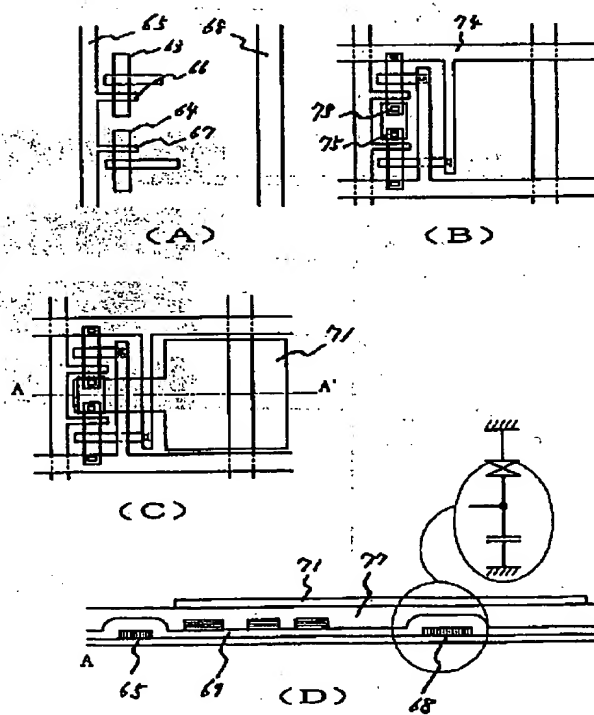
【図5】



【図6】



【図7】



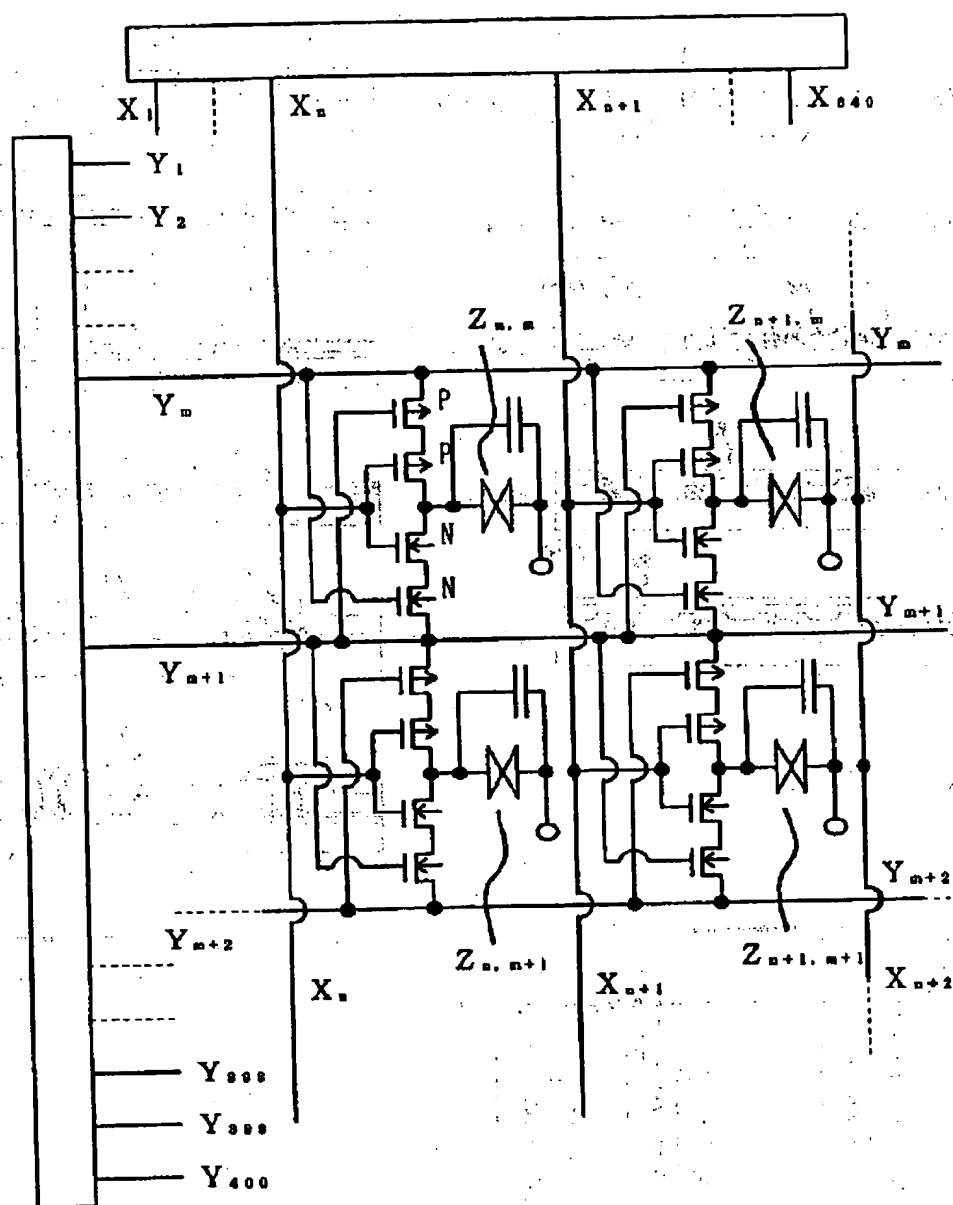


(5)

7

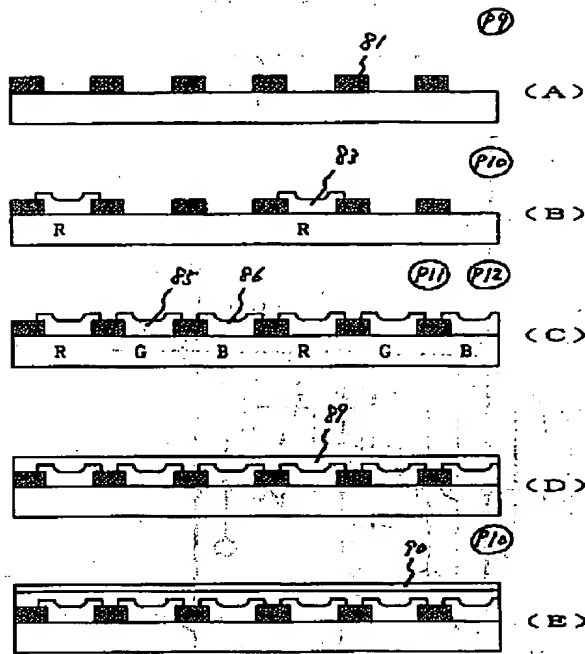
8

【図4】



9

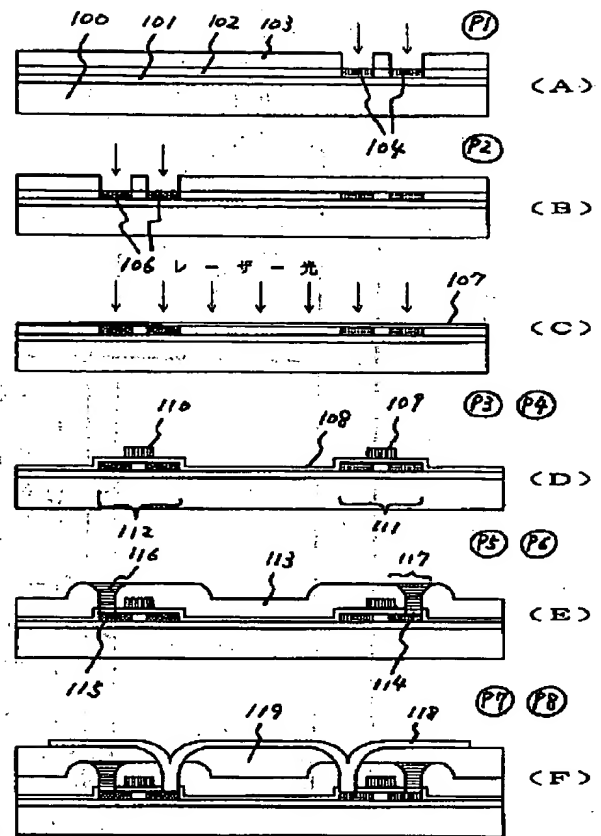
【図8】



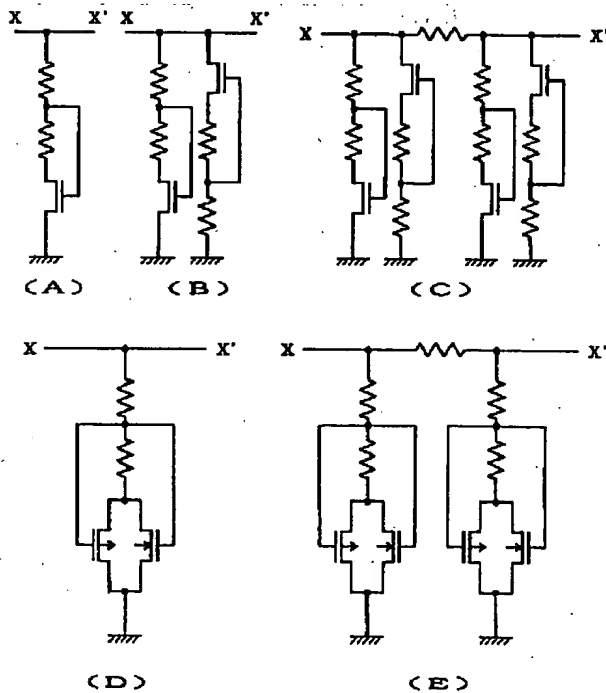
(6)

10

【図9】



【図11】

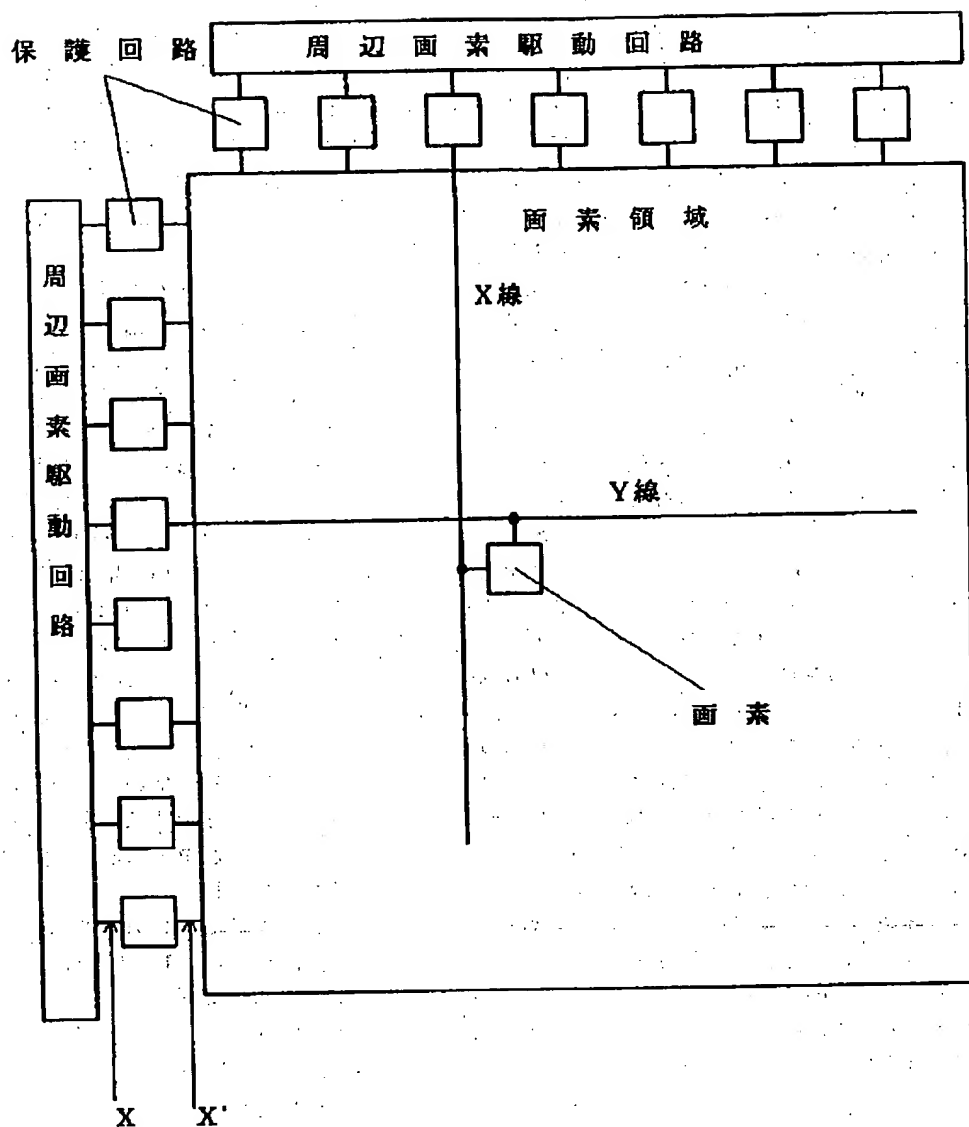


(7)

11

12

【図10】



【手続補正書】

【提出日】平成10年2月6日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】基板上に、N本の信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ と、それに直交するM本の信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ とによってマトリクス状に形成された配線と、各マトリクスの交差点領域には、少なくとも2つのNチャネル型薄膜トランジスタと少なくとも2つのP

チャネル型薄膜トランジスタと、各信号線の交差点領域に設けられた画素 $Z_{11}, Z_{12}, \dots, Z_{mn}, \dots, Z_{MN}$ とを有し、第1のPチャネル型薄膜トランジスタと第1のNチャネル型薄膜トランジスタの入出力端を接続し、これを前記画素電極に接続し、他の入出力端をそれぞれ、第2のPチャネル型薄膜トランジスタの入出力端、第2のNチャネル型薄膜トランジスタの入出力端に接続し、前記第2のPチャネル型薄膜トランジスタの他方の入出力端を、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_m$ に接続し、前記第2のNチャネル型薄膜トランジスタの他方の入出力端を、前記信号線 $Y_m$ のとなりに設けら

(8)

13

れた、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_{m+1}$ に接続し、前記第1のNチャネル型薄膜トランジスタおよび第1のPチャネル型薄膜トランジスタのゲート電極を共通に接続して、信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ のうちの1つに接続し、前記第2のPチャネル型薄膜トランジスタのゲート電極を前記信号線 $Y_{m+1}$ に接続し、前記第2のNチャネル型薄膜トランジスタのゲート電極は前記信号線 $Y_m$ に接続された電気光学装置において、時間 $T_0$ から $T_1$ においては信号線 $X_n$ 電圧を加えるとともに、信号線 $Y_m$ に時間 $(T_1 - T_0)$ よりも短い信号を加える過程と、時間 $T_2$ から $T_3$  ( $T_3 > T_2$ )においては、信号線 $X_n$ に電圧を加えないで信号線 $Y_m$ には、時間 $(T_3 - T_2)$ よりも短い信号を加える過程とを有し、よって、画素電極に短くとも時間 $T_1$ から $T_3$ まで電圧のかかった状態を実現することを特徴とする画像表示方法。

【請求項2】基板上に、N本の信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ と、それに直交するM本の信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ とによってマトリクス状に形成された配線と、各マトリクスの交差点領域には、少なくとも2つのNチャネル型薄膜トランジスタと少なくとも2つのPチャネル型薄膜トランジスタと、各信号線の交差点領域に設けられた画素 $Z_{11}, Z_{12}, \dots, Z_{mn}, \dots, Z_{MN}$ とを有し、第1のPチャネル型薄膜トランジスタと第1のNチャネル型薄膜トランジスタの入出力端を接続し、これを前記画素電極に接続し、他の入出力端をそれぞれ、第2のPチャネル型薄膜トランジスタの入出力端、第2のNチャネル型薄膜トランジスタの入出力端に接続し、前記第2のPチャネル型薄膜トランジスタの他方の入出力端を、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_m$ に接続し、前記第2のNチャネル型薄膜トランジスタの他方の入出力端を、前記信号線 $Y_m$ のとなりに設けられた、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_{m+1}$ に接続し、前記第1のNチャネル型薄膜トランジスタおよび第1のPチャネル型薄膜トランジスタのゲート電極を共通に接続して、信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ のうちの1つに接続し、前記第2のPチャネル型薄膜トランジスタのゲート電極を前記信号線 $Y_{m+1}$ に接続し、前記第2のNチャネル型薄膜トランジスタのゲート電極は前記信号線 $Y_m$ に接続された電気光学装置において、任意の信号線 $Y_m$ には周期的に信号が加えられること、とこの信号が加わっている間は任意の信号線 $X_n$ に電圧を加わった状態とすることを複数回繰り返す過程と、その後、信号線 $Y_m$ には周期的に信号を加え、前記信号が加わっている間は、信号線 $X_n$ に電圧の加わっていない状態とすることを複数回繰り返す過程とを有することを特徴とする画像表示方法。

【請求項3】基板上に、N本の信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ と、それに直交するM本の信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ とによってマトリクス状に形成された配線と、各マトリクスの交差点領域には、少なくとも2つのNチャネル型薄膜トランジスタと少なくとも

14

も2つのPチャネル型薄膜トランジスタと、各信号線の交差点領域に設けられた画素 $Z_{11}, Z_{12}, \dots, Z_{mn}, \dots, Z_{MN}$ とを有し、第1のPチャネル型薄膜トランジスタと第1のNチャネル型薄膜トランジスタの入出力端を接続し、これを前記画素電極に接続し、他の入出力端をそれぞれ、第2のPチャネル型薄膜トランジスタの入出力端、第2のNチャネル型薄膜トランジスタの入出力端に接続し、前記第2のPチャネル型薄膜トランジスタの他方の入出力端を、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_m$ に接続し、前記第2のNチャネル型薄膜トランジスタの他方の入出力端を、前記信号線 $Y_m$ のとなりに設けられた、信号線 $Y_1, Y_2, \dots, Y_m, \dots, Y_M$ のうちの1つの信号線 $Y_{m+1}$ に接続し、前記第1のNチャネル型薄膜トランジスタおよび第1のPチャネル型薄膜トランジスタのゲート電極を共通に接続して、信号線 $X_1, X_2, \dots, X_n, \dots, X_N$ のうちの1つに接続し、前記第2のPチャネル型薄膜トランジスタのゲート電極を前記信号線 $Y_{m+1}$ に接続し、前記第2のNチャネル型薄膜トランジスタのゲート電極は前記信号線 $Y_m$ に接続された電気光学装置において、任意の信号線 $Y_m$ には周期的に信号が加えられること、とこの信号が加わっている間は任意の信号線 $X_n$ に電圧を加わった状態とすることを複数回繰り返す過程と、その後、信号線 $Y_m$ には周期的に信号を加え、前記信号が加わっている間は、信号線 $X_n$ に電圧の加わっていない状態とすることを複数回繰り返す過程とを有することを特徴とする画像表示方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【発明の利用分野】本発明は、駆動用スイッチング素子として薄膜トランジスタ（以下TFTという）を使用した液晶電気光学装置における画像表示方法において、特に中間的な色調や濃淡の表現を得るための階調表示方法に関するものである。本発明は、特に、外部からいかなるアナログ信号をもアクティブ素子に印加することなく、階調表示をおこなう、いわゆる完全デジタル階調表示に関するものである。

【0002】

【従来の技術】液晶組成物はその物質特性から、分子軸に対して水平方向と垂直方向に誘電率が異なるため、外部の電解に対して水平方向に配列したり、垂直方向に配列したりさせることが容易にできる。液晶電気光学装置は、この誘電率の異方性を利用して、光の透過光量または散乱量を制御することでON/OFF、すなわち明暗の表示をおこなっている。液晶材料としては、TN（ツ

(9)

15

イステッド・ネマティック) 液晶、STN (スーパー・ツイステッド・ネマティック) 液晶、強誘電性液晶、ポリマー液晶あるいは分散型液晶とよばれる材料が知られている。液晶は外部電圧に対して、無限に短い時間に反応するのではなく、応答するまでにある一定の時間がかかることが知られている。その値はそれぞれの液晶材料に固有で、TN液晶の場合には、数10msec、STN液晶の場合には数100msec、強誘電性液晶の場合には数10μsec、分散型あるいはポリマー液晶の場合には数10msecである。

【0003】液晶を利用した電気光学装置のうちでもっとも優れた画質が得られるものは、アクティブマトリクス方式を用いたものであった。従来のアクティブマトリクス型の液晶電気光学装置では、アクティブ素子として薄膜トランジスタ(TFT)を用い、TFTにはアモルファスまたは多結晶型の半導体を用い、1つの画素にP型またはN型のいずれか一方のみのタイプのTFTを用いたものであった。即ち、一般にはNチャネル型TFT(NTFTという)を画素に直列に連結している。そして、マトリクスの信号線に信号電圧を流し、それぞれの信号線の直交する箇所に設けられたTFTに双方から信号が印加されるとTFTがON状態となることを利用して液晶画素のON/OFFを個別に制御するものであった。このような方法によって画素の制御をおこなうことによって、コントラストの大きい液晶電気光学装置を実現することができる。

【0004】

【発明が解決しようとする課題】しかしながら、このようなアクティブマトリクス方式では、明暗や色調といった、階調表示をおこなうことは極めて難しかった。従来、階調表示は液晶の光透過性が、印加される電圧の大きさによって変わることを利用する方式が検討されていた。これは、例えば、マトリクス中のTFTのソース・ドレイン間に、適切な電圧を周辺回路から供給し、その状態でゲート電極に信号電圧を印加することによって、液晶画素にその大きさの電圧をかけようとするものであった。

【0005】しかしながら、このような方法では、例えば、TFTの不均質性やマトリクス配線の不均質性のために、実際には液晶画素にかかる電圧は、各画素によって、最低でも数%も異なってしまう。これに対し、例えば、液晶の光透過度の電圧依存性は、極めて非線型性が強く、ある特定の電圧で急激に光透過性が変化するため、たとえ数%の違いでも、光透過性が著しく異なってしまうことがあった。例えば、TN液晶の場合、ON/OFF状態の電位差は、約1.2Vであり、1.6階調を達成せんとする場合には、液晶の電位差を75mVの精度で制御する必要がある。そのため、実際には1.6階調を達成することが限界であった。

【0006】このように階調表示が困難であるというこ

16

とは、液晶ディスプレイ装置が従来の一般的な表示装置であるCRT(陰極線管)と競争してゆく上で極めて不利であった。

【0007】本発明は従来、困難であった階調表示を実現させるための全く新しい方法を提案することを目的とするものである。

【0008】

【問題を解決するための手段】さて、液晶にかかる電圧をアナログ的に制御することによって、その光透過性を制御することが可能であることを先に述べたが、本発明人らは、液晶に電圧のかかっている時間を制御することによって、視覚的に階調を得ることができることを見出した。

【0009】例えば、代表的な液晶材料であるTN(ツイステッド・ネマチック)液晶を用いた場合において、例えば、図1(a)において、Aで示されるような矩形パルス印加する場合と、Cで示されるような矩形パルス印加する場合を比べて見ると、Aの方が明るいことを見出した。ここで、パルスの周期は1msecとした。結果的には、Aが最も明るく、以下、B、C、Dの順であった。このことは全く予想外のことである。なぜならば、通常の上記のTN液晶材料においては、1msecという時間はあまりにも短く、そのような短時間にはTN液晶は反応しないのである。したがって、いずれの場合にも液晶はON状態を実現することは不可能なはずである。しかしながら、実際には液晶は中間的な濃さを実現できた。

【0010】その具体的な原理についてはまだ詳細にわかっていない。しかしながら、本発明人らは、この現象を利用して階調表現が可能であることを見いだしたのである。すなわち、液晶材料が反応しないような周期で液晶材料にパルス印加するときにパルスの幅を制御することによって、中間的な明るさをデジタル制御で実現することが、まさに本発明の特徴とするものである。本発明人らの研究の結果、このような中間的な濃度を得るためのパルスの周期はTN液晶の場合には10msec以下が必要であることがわかった。

【0011】ここで、パルスの周期という語句について、その意味を明確にする。すなわち、この場合には、複数のパルスを連続的に液晶に印加するのであるが、この場合のパルスの周期とは、1つのパルスが始まってから、次のパルスが始まるまでの間の時間のことをいう。したがって、パルスの繰り返し周波数の逆数となる。また、パルス幅とは、パルスが電圧状態にある時間のことをいう。したがって、図1において、例えばCのパルス列の場合には、Tがパルスの周期であり、tがパルス幅である。

【0012】同様な効果は、STN液晶においても、強誘電性液晶においても、また、ポリマー液晶あるいは分散型液晶においても見られた。いずれも、その応答時間

(10)

17

よりも短い周期のパルスを加えることによって、中間的な色調が得られることが明らかになった。すなわち、STN液晶においては、 $100\text{msec}$ 以下、のぞましくは $10\text{msec}$ 以下、強誘電性液晶においては $10\mu\text{sec}$ 以下、のぞましくは $1\mu\text{sec}$ 以下、ポリマー液晶あるいは分散型液晶においては $10\text{msec}$ 以下、のぞましくは $1\text{msec}$ 以下の周期のパルスを加えることによって、階調表示が得られた。

【0013】通常は、テレビ等の画像では1秒間に30枚の静止画が次々に繰り出されて動画を形成する。したがって、1枚の静止画が継続する時間は約 $30\text{msec}$ である。この時間は人間の目にはあまりにも早すぎて、文字通り『目にも止まらない』時間であり、結果として、視覚的には静止画を1枚1枚識別することはできない。ともかく、通常の動画を得るには、1枚の静止画は長くても $100\text{msec}$ 以上継続することはできない。

【0014】本発明を利用して256階調の階調表示をおこなうとすれば、例えば、 $T=3\text{msec}$ とすれば、この $3\text{msec}$ の時間を、少なくとも256分割しうるパルス電圧印加方法、を画素に電圧を印加する方法として採用する必要がある。すなわち、最短で $3\text{msec}/256=11.7\mu\text{sec}$ のパルス状の電圧が画素にかかるような回路を組む必要がある。実際には、図3に示すように、パルスのデューティー比 $\tau/T$ と液晶画素の光透過性は非線型的な関係であり、256階調を得るためには、さらに、パルスのデューティー比を細かく制御することが必要である。

【0015】しかも、実際の画像表示をおこなう場合には、他の画素も考慮しなければならない。実際の画像表示装置では、例えば400行もの行がある。すなわち、後に述べるように、マトリクスアクティブ素子は $100\text{ns}$ という極短応答性が求められる。そこで、そのような短時間応答性を有する回路の例を図4に示し、以下、その説明をする。

【0016】図4は本発明を実施するために必要な液晶表示装置のアクティブマトリクス回路の例を示す。本発明では、アクティブ素子は $100\text{ns}$ 以下の短時間で応答することが要求されるので高速動作する回路を組む必要がある。そのためには従来のようにNTFTあるいはPTFTだけでスイッチングをおこなうのではなく、図4に示されるようにNTFTとPTFTとが相補的に動作するように構成された、変形インバータ型の回路を用いることが必要である。

【0017】この例では $N \times M$ のマトリクスの例を示したものであるが、煩雑さをさけるために、そのうちの $n$ 行 $m$ 列近傍のみを示した。これと同じものを上下左右に展開すれば完全なものが得られる。

【0018】図4には、4つの変形インバータ回路が描かれている。各変形インバータ回路は少なくとも2つのNTFTと少なくとも2つのPTFTから構成される。

18

TFTの数は、不良が存在した場合に備えて、さらに増やしても構わない。この回路では、まず、中央部の1組のNTFTとPTFTのゲート電極が信号線 $X_n$ に接続され、また、このNTFTとPTFTのソースあるいはドレインの一方は互いに接続され、これは画素 $Z_{n,m}$ の電極に接続される。この状態は通常の相補型電界効果素子(CMOS)と同じである。このNTFTおよびPTFTの他方のソースあるいはドレインは、それぞれ、第2のNTFT、PTFTのソースあるいはドレインに接続されている。また、この第2のNTFT、PTFTの他方のソースあるいはドレインは、それぞれ、信号線 $Y_{m+1}$ と $Y_m$ に接続されている。さらに、第2のNTFT、PTFTのゲート電極は、それぞれ、信号線 $Y_{m+1}$ と $Y_m$ に接続されている。以下では、信号線 $X_1, X_2, \dots, X_N$ を、集合的に、あるいは個別に $X$ 線とよび、信号線 $Y_1, Y_2, \dots, Y_M$ を、集合的に、あるいは個別に $Y$ 線とよぶ。また、図では、画素のキャパシタと並列に人為的にキャパシタが挿入されている。このとき挿入されたキャパシタは、画素の電荷が自然放電することによって、画素の電圧が低下することを抑制する効果を有する。画素の電圧の降下は、画素のばらつきがあると、一様でなくなり、特に本発明のように、画素に印加される電圧が一定のものとして階調表示をおこなおうとする発明においては、画質の低下を招くものである。しかしながら、このように画素に並列にキャパシタを挿入することにより、画素のばらつきによる電圧降下は著しく抑えることができ、高画質を得ることができる。

【0019】次に、このような回路を用いた場合の回路の動作例を図1(b)および図2を用いて説明する。このマトリクス回路は図1(a)に示されるようなパルス状の電圧を液晶セルに印加するように動作する必要がある。そこで、このようなパルスを発生するために $X$ 線および $Y$ 線に印加される信号電圧の概要を図1(b)に示す。例として、 $400 \times 640$ のマトリクスを考える。

【0020】 $X$ 線に印加される信号は、例えば $X_n$ 線の場合は、 $V(X_n)$ で示されるが、これは、周期 $T$ で繰り返されるひとまとまりのパルスの中に、実は256個のパルス(以下、サブパルスという)が含まれており、さらにその256個のサブパルスのそれぞれは、400個の要素が入ったパルス列から構成されていることがわかる。ここで、400という数字はマトリクスの行数である。したがって、 $X$ 線に印加されるパルスの最小単位は $T=3\text{msec}$ とすれば、 $29\text{ns}$ である。

【0021】一方、 $Y$ 線には、時間 $T/256$ の間に、図の $V(Y_1)$ 、 $V(Y_m)$ 、 $V(Y_{m+1})$ 、 $V(Y_{400})$ で示されるようなパルスが、それぞれのタイミングをずらして印加される。このパルスは、上記 $X$ 線に印加されるパルスの最小単位パルスよりもさらに短い必要がある。結局、時間 $T$ の間には、各 $Y$ 線には、256

(11)

19

回パルスが印加される。

【0022】次に、実際の回路の動作を図2に基づいて説明する。まず、第1のサブパルスがそれぞれのX線に印加される。当然のことながら、これらのサブパルスはX線ごとに異なる。一方、Y線には、先に述べたように、パルスが最初にY<sub>1</sub>、次にY<sub>2</sub>というように順々に印加されてゆく。まず、パルスがY<sub>1</sub>に印加されたときを考える。このとき、画素Z<sub>1, 1</sub>に接続されている、アクティブ素子はOFF状態となる。すなわち、Y<sub>1</sub>は電圧状態であり、かつY<sub>2</sub>は電圧状態でないので、画素のアクティブ素子の4つのTFTのうち、上のPTFTと下のNTFTはON状態となり、中央のインバータが動作する状態にある。そして、インバータの入力X<sub>1</sub>には電圧が加わっているから、出力は反転して電圧の加わらない状態となる。次いで、Y<sub>2</sub>に電圧が加わるのであるが、このとき、画素Z<sub>1, 2</sub>には電圧のかかった状態となる。すなわち、インバータの入力X<sub>1</sub>には電圧がかかっていないからである。そして、この電圧状態は、Y<sub>2</sub>のパルスが切られた後も継続し、次にY<sub>2</sub>にパルスが加わるまで持続する。同様に、Z<sub>1, m</sub>もZ<sub>1, m+1</sub>もZ<sub>1, 400</sub>も、電圧状態となる。

【0023】このようにして、パルスが順々に印加されてゆき、Y<sub>m</sub>に印加された場合を考える。今、4つの画素Z<sub>n, m</sub>、Z<sub>n, m+1</sub>、Z<sub>n+1, m</sub>、Z<sub>n+1, m+1</sub>に注目しているとすれば、X<sub>n</sub>およびX<sub>n+1</sub>の第1のサブパルスのm番目および(m+1)番目に注目すればよい。X<sub>n</sub>もX<sub>n+1</sub>もm番目は電圧状態でないで、画素Z<sub>n, m</sub>、Z<sub>n+1, m</sub>は電圧(充電)状態になる。ついで、Y<sub>m+1</sub>にパルスが印加される。X<sub>n</sub>もX<sub>n+1</sub>も(m+1)番目は電圧状態でないで、この場合も画素Z<sub>n, m+1</sub>、Z<sub>n+1, m+1</sub>は充電状態となる。

【0024】次に、図では省略されているが、第2のサブパルスが来たものとする。このとき、X<sub>n</sub>もX<sub>n+1</sub>もm番目および(m+1)番目が電圧状態でなかったならば、充電状態がなくならず、以上4つの画素は引き続き電圧状態を継続する。その後、第(h-1)のサブパルスまでは、4つの画素とも電圧状態が継続したものとする。

【0025】次に、サブパルスが進んで、第hのサブパルスが来たものとする。図では煩雑さを避けるためにm番目および(m+1)番目以外は省略した。このとき、X<sub>n</sub>もX<sub>n+1</sub>もm番目は電圧状態でないので、画素Z<sub>n, m</sub>、Z<sub>n+1, m</sub>は電圧状態を継続する。しかし、X<sub>n+1</sub>には(m+1)番目が電圧状態であるので、画素Z<sub>n+1, m</sub>は電圧状態が継続するものの、画素Z<sub>n+1, m+1</sub>は、アクティブ素子の出力が電圧状態でなくなり、蓄えられていた電荷が放出され、電圧状態は中断される。

【0026】さらに、第iのサブパルスが来たときに

20

は、X<sub>n</sub>の(m+1)番目は電圧状態となったので、Z<sub>n, n+1</sub>の充電状態は解除される。以下、第jおよび第kのサブパルスにおいて、それぞれ、X<sub>n+1</sub>、X<sub>n</sub>のm番目が電圧状態となったので、画素Z<sub>n, m</sub>、Z<sub>n+1, m</sub>の充電状態がそれぞれ、第k、第jのサブパルス中に中断される。このような過程を経ることによって、図2のV(Z)に示すように、各画素ごとに電圧状態の時間をデジタル的にコントロールできる。

【0027】このような動作を繰り返すことにより、各画素に加わる電圧パルスの幅を図1(a)のように任意に制御することができる。

【0028】以上の説明から明らかなように、本発明を実施するにあたっては、上記のようなサブパルスは、明確に定義できるパルス状のもでなければならないわけではない。説明を簡単にするために、サブパルスという概念を持ち出したが、特に、サブパルスとサブパルスの間が明確でなく、信号としては、ほとんど境界のないものであっても、本発明を実施できることはあきらかである。さらに、説明をわかりやすくするために、信号のゼロレベルと電圧レベルを明確にしたが、これは、液晶あるいはTFTのしきい値電圧以下であるか、以上であるかという問題だけであるので、絶対にゼロである必要はない。また、電圧とは任意の点の電位を基準とした相対的な物理量であるので、以上の例において、パルスは逆の極性を持つものであっても、構わないことは明らかであろう。また、以上の例では、画面は1行づつ順に走査されていたが、最初にY<sub>1</sub>、Y<sub>3</sub>、Y<sub>5</sub>、... というように走査し、その後、Y<sub>2</sub>、Y<sub>4</sub>、Y<sub>6</sub>、... というように走査する、いわゆる飛び越し走査法も可能であることは言うまでもない。

【0029】

【実施例】『実施例1』 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、壁掛けテレビを作製したので、その説明を行う。またその際のTFTは、レーザアニールを用いた多結晶シリコンとした。

【0030】この回路構成に対応する実際の電極等の配置構成を1つの画素について、図5に示している。まず、本実施例で使用する液晶パネルの作製方法を図6を使用して説明する。本発明を実施するためには、1つの画素にNTFTとPTFTが2つづつ必要であるので、計4つのTFTを図に示すが、簡略化のために、番号はNTFTとPTFTの一方にのみ付して説明する。図6(A)において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス50上にマグネトロンRF(高周波)スパッタ法を用いてプロセッシング層5.1としての酸化珪素膜を1000~3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリ

(12)

21

コンを用いた成膜速度は $30 \sim 100 \text{ Å/分}$ であった。

【0031】この上にシリコン膜をプラズマCVD法により珪素膜52を作製した。成膜温度は $250^\circ\text{C} \sim 350^\circ\text{C}$ で行い本実施例では $320^\circ\text{C}$ とし、モノシラン( $\text{SiH}_4$ )を用いた。モノシラン( $\text{SiH}_4$ )に限らず、ジシラン( $\text{Si}_2\text{H}_6$ )またトリシラン( $\text{Si}_3\text{H}_8$ )を用いてもよい。これらをPCVD装置内に $3 \text{ Pa}$ の圧力で導入し、 $13.56 \text{ MHz}$ の高周波電力を加えて成膜した。この際、高周波電力は $0.02 \sim 0.10 \text{ W/cm}^2$ が適当であり、本実施例では $0.055 \text{ W/cm}^2$ を用いた。また、モノシラン( $\text{SiH}_4$ )の流量は $20 \text{ SCCM}$ とし、その時の成膜速度は約 $120 \text{ Å/分}$ であった。PTFTとNTFTとのスレッショールド電圧( $V_{th}$ )を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。またTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いても良く、以下にその方法を簡単に述べる。

【0032】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を $20 \sim 80\%$ 混入した雰囲気で行った。例えばアルゴン $20\%$ 、水素 $80\%$ とした。成膜温度は $150^\circ\text{C}$ 、周波数は $13.56 \text{ MHz}$ 、スパッタ出力は $400 \sim 800 \text{ W}$ 、圧力は $0.5 \text{ Pa}$ であった。

【0033】減圧気相法で形成する場合、結晶化温度よりも $100 \sim 200^\circ\text{C}$ 低い $450 \sim 550^\circ\text{C}$ 、例えば $530^\circ\text{C}$ でジシラン( $\text{Si}_2\text{H}_6$ )またはトリシラン( $\text{Si}_3\text{H}_8$ )をCVD装置に供給して成膜した。反応炉内圧力は $30 \sim 300 \text{ Pa}$ とした。成膜速度は $50 \sim 250 \text{ Å/分}$ であった。PTFTとNTFTとのスレッショールド電圧( $V_{th}$ )を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0034】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。結晶化を助長させるためには、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまうため、この濃度を選択した。この酸素濃度が高いと、結晶化させにくく、レーザーアニール温度を高くまたはレーザーアニール時間を長くしなければならない。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。

【0035】また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイ

22

オン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。上記方法によって、アモルファス状態の珪素膜を $500 \sim 5000 \text{ Å}$ 、本実施例では $1000 \text{ Å}$ の厚さに成膜した。

【0036】その後、フォトリソスト53をマスクP1を用いてソース・ドレイン領域のみ開孔したパターンを形成した。その上に、プラズマCVD法によりn型の活性層となる珪素膜54を作製した。成膜温度は $250^\circ\text{C} \sim 350^\circ\text{C}$ でおこない、本実施例では $320^\circ\text{C}$ とし、モノシラン( $\text{SiH}_4$ )とモノシランベースのフォスフィン( $\text{PH}_3$ ) $3\%$ 濃度のものを用いた。これらをPCVD装置内 $5 \text{ Pa}$ の圧力で導入し、 $13.56 \text{ MHz}$ の高周波電力を加えて成膜した。この際、高周波電力は $0.05 \sim 0.20 \text{ W/cm}^2$ が適当であり、本実施例では $0.120 \text{ W/cm}^2$ を用いた。

【0037】この方法によって出来上がったn型シリコン層の比導電率は $2 \times 10^{-1} [\Omega \text{ cm}^{-1}]$ 程度となった。膜厚は $50 \text{ Å}$ とした。その後リフトオフ法を用いて、レジスト53を除去し、ソース・ドレイン領域55、56を形成した。

【0038】同様のプロセスを用いて、p型の活性層を形成した。その際の導入ガスは、モノシラン( $\text{SiH}_4$ )とモノシランベースのジボラン( $\text{B}_2\text{H}_6$ ) $5\%$ 濃度のものを用いた。これらをPCVD装置内に $4 \text{ Pa}$ の圧力で導入し、 $13.56 \text{ MHz}$ の高周波電力を加えて成膜した。この際、高周波電力は $0.05 \sim 0.20 \text{ W/cm}^2$ が適当であり、本実施例では $0.120 \text{ W/cm}^2$ を用いた。この方法によって出来上がったp型シリコン層の比導電率は $5 \times 10^{-2} [\Omega \text{ cm}^{-1}]$ 程度となった。膜厚は $50 \text{ Å}$ とした。その後N型領域と同様にリフトオフ法を用いて、ソース・ドレイン領域59、60を形成した。その後、マスクP3を用いて珪素膜52をエッチング除去し、Nチャネル型薄膜トランジスタ用アイランド領域63とPチャネル型薄膜トランジスタ用アイランド領域64を形成した。

【0039】その後XeClエキシマレーザーを用いて、ソース・ドレイン・チャネル領域をレーザーアニールすると同時に、活性層にレーザードーピングを行なった。この時のレーザーエネルギーは、閾値エネルギーが $130 \text{ mJ/cm}^2$ で、膜厚全体が熔融するには $220 \text{ mJ/cm}^2$ が必要となる。しかし、最初から $220 \text{ mJ/cm}^2$ 以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起きる。そのために低エネルギーで最初に水素を追い出した後に熔融させる必要がある。本実施例では最初 $150 \text{ mJ/cm}^2$ で水素の追い出しを行なった後、 $230 \text{ mJ/cm}^2$ で結晶化をおこなった。

【0040】この上に酸化珪素膜をゲイト絶縁膜として $500 \sim 2000 \text{ Å}$ 例えば $1000 \text{ Å}$ の厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と



(13)

23

同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0041】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン (Mo)、タングステン (W)、 $\text{MoSi}_2$  または  $\text{WSi}_2$  との多層膜を形成した。これを第4のフォトマスクP4にてパターンニングして図6 (D) を得た。NTFT用のゲイト電極66、PTFT用のゲイト電極67を形成した。例えばチャネル長 $7 \mu\text{m}$ 、ゲイト電極としてリンドーピング珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。同時に、図7 (A) に示すように、ゲイト配線65とそれに並行して設置された配線68もパターンニングした。

【0042】また、ゲート電極材料としてアルミニウム (Al) を用いた場合、これを第4のフォトマスクP4にてパターンニング後、その表面を陽極酸化することで、セルフアライン工法が適用可能なため、ソース・ドレインのコンタクトホールをよりゲートに近い位置に形成することが出来るため、移動度、スレッショールド電圧の低減からさらにTFTの特性を上げることができる。

【0043】かくすると、 $400^\circ\text{C}$ 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスであるといえる。

【0044】図6 (E) において、層間絶縁物68を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、第5のフォトマスクP5を用いて電極用の窓79を形成した。その後、さらに、これら全体にアルミニウムを $0.3 \mu\text{m}$ の厚みにスパッタ法により形成し第6のフォトマスクP6を用いてリード74およびコンタクト73、75を作製した。こうして、図6 (E) と図7 (B) を得た。その後、表面を平坦化用有機樹脂77例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけを第7のフォトマスクP7にて行った。さらに、これら全体にITO (インジウム酸化錫) を $0.1 \mu\text{m}$ の厚みにスパッタ法により形成し第8のフォトマスクP8を用いて画素電極71を形成した。このITOは室温 $\sim 150^\circ\text{C}$ で成膜し、 $200 \sim 400^\circ\text{C}$ の酸素または大気中のアニールにより成膜した。

【0045】こうして、図6 (F) と図7 (C) を得た。図7 (C) のA-A' の断面図を図7 (D) に示す。実際には、この上に液晶材料をはさんで、対向電極が設けられ、図に示すように、対向電極と画素電極71の間に静電容量が生じる。それと同時に配線68と電極71の間にも静電容量が生じる。そして、配線68を対

24

向電極と同電位に保つことによって、図4に示したように、液晶画素に並列に容量が挿入された回路を構成することとなる。特に本実施例のように配置することによって、配線68はゲイト配線65と平行であるので、2配線間の規制容量が少なく、したがって、ゲイト配線を伝わる信号の減衰や遅延を減らす効果がある。

【0046】また、このようにして形成された配線68は、接地して使用される場合には、各マトリクス配線の終端に設けられる保護回路の接地線として使用できる。保護回路は、図10に示されるように、周辺の駆動回路と画素の間に設けられた図11と図12で示されるような回路をいう。いずれも画素に過大な電圧がかかるとON状態となり、電圧を取り去る作用を有する。これらの保護回路は、シリコンのようなドーピングされた、あるいはドーピングされていない半導体材料や、ITOのような透明導電材料、あるいは通常の配線材料を用いて構成される。したがって、画素の回路を形成するときと同時に形成することが可能である。

【0047】このことは、例えば、図11の保護回路が、NTFTやPTFT、あるいはそれらをあわせたC/TFTで構成されていることから明らかであろう。また、図12の保護回路はTFTは使用されていないが、ダイオードは、例えばPIN接合によって構成され、また、特にツェナー特性を重視するダイオードはNIN、PIP、NPN、あるいはPNPといった構造を有し、いちいち説明するまでもなく、本実施例で示した作製方法を援用することによって作製されうことは明確である。

【0048】さて、以上のようにして得られたTFTの電気的な特性はPTFTで移動度は $40 (\text{cm}^2/\text{Vs})$ 、 $V_{th}$ は $-5.9 (\text{V})$ で、NTFTで移動度は $80 (\text{cm}^2/\text{Vs})$ 、 $V_{th}$ は $5.0 (\text{V})$ であった。

【0049】上記の様な方法に従って作製された液晶電気光学装置用の一方の基板を得ることが出来た。この液晶表示装置の電極等の配置の様子を図5に示している。本発明による変形インバータを構成するTFTが信号線Y1とY2の間、およびY2とY3の間に、信号線X1、X2に平行に設けられている。このようなC/TFTを用いたマトリクス構成を有せしめた。かかる構造を左右、上下に繰り返すことにより、 $640 \times 480$ 、 $1280 \times 960$ といった大画面の液晶表示装置とすることができる。本実施例では $1920 \times 400$ とした。この様にして第1の基板を得た。

【0050】他方の基板の作製方法を図8に示す。ガラス基板上にポリイミドに黒色顔料を混合したポリイミド樹脂をスピンコート法を用いて $1 \mu\text{m}$ の厚みに成膜し、第9のフォトマスクP9を用いてブラックストライプ81を作製した。その後、赤色顔料を混合したポリイミド樹脂をスピンコート法を用いて $1 \mu\text{m}$ の厚みに成膜し、

(14)

25

第10のフォトマスクP10を用いて赤色フィルター83を作製した。同様にしてマスクP11、P12を使用し、緑色フィルター85および青色フィルター86を作製した。これらの作製中各フィルターは350℃にて窒素中で60分の焼成を行なった。その後、やはりスピコート法を用いて、レベリング層89を透明ポリイミドを用いて作製した。

【0051】その後、これら全体にITO（インジウム酸化錫）を0.1μmの厚みにスパッタ法により形成し第10のフォトマスクP10を用いて共通電極90を形成した。このITOは室温～150℃で成膜し、200～300℃の酸素または大気中のアニールにより成就し、第2の基板を得た。

【0052】前記基板に、オフセット法を用いて、ポリイミド前駆体を印刷し、非酸化性雰囲気たとえば窒素中にて350℃1時間焼成を行った。その後、公知のラビング法を用いて、ポリイミド表面を改質し、少なくとも初期において、液晶分子を一定方向に配向させる手段を設けた。

【0053】その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の駆動ICと共通信号、電位配線を有するPCBを接続し、外側に偏光板を貼り、透過型の液晶電気光学装置を得た。これと冷陰極管を3本配置した後部照明装置、テレビ電波を受信するチューナーを接続し、壁掛けテレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶画素に印加することにより確認された。

【0054】『実施例2』 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、壁掛けテレビを作製したので、その説明を行う。またその際のTFTは、レーザーアニールを用いた多結晶シリコンとした。

【0055】以下では、TFT部分の作製方法について図9にしたがって記述する。図9(A)において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス100上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層101としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

【0056】この上にシリコン膜をプラズマCVD法により珪素膜102を作製した。成膜温度は250℃～350℃で行い本実施例では320℃とし、モノシラン（SiH<sub>4</sub>）を用いた。モノシラン（SiH<sub>4</sub>）に限ら

26

ず、ジシラン（Si<sub>2</sub>H<sub>6</sub>）またトリシラン（Si<sub>3</sub>H<sub>8</sub>）を用いてもよい。これらをPCVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02～0.10W/cm<sup>2</sup>が適当であり、本実施例では0.055W/cm<sup>2</sup>を用いた。また、モノシラン（SiH<sub>4</sub>）の流量は20SCCMとし、その時の成膜速度は約120Å/分であった。PTFTとNTFTとのスレッショールド電圧（V<sub>th</sub>）を概略同一に制御するため、ホウ素をジボランを用いて1×10<sup>15</sup>～1×10<sup>18</sup>cm<sup>-3</sup>の濃度として成膜中に添加してもよい。またTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いても良く、以下にその方法を簡単に述べる。

【0057】スパッタ法で行う場合、スパッタ前の背圧を1×10<sup>-5</sup>Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0058】減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン（Si<sub>2</sub>H<sub>6</sub>）またはトリシラン（Si<sub>3</sub>H<sub>8</sub>）をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は50～250Å/分であった。PTFTとNTFTとのスレッショールド電圧（V<sub>th</sub>）を概略同一に制御するため、ホウ素をジボランを用いて1×10<sup>15</sup>～1×10<sup>18</sup>cm<sup>-3</sup>の濃度として成膜中に添加してもよい。

【0059】これらの方法によって形成された被膜は、酸素が5×10<sup>21</sup>cm<sup>-3</sup>以下であることが好ましい。結晶化を助長させるためには、酸素濃度を7×10<sup>19</sup>cm<sup>-3</sup>以下、好ましくは1×10<sup>19</sup>cm<sup>-3</sup>以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまうため、この濃度を選択した。この酸素濃度が高いと、結晶化せにくく、レーザーアニール温度を高くまたはレーザーアニール時間を長くしなければならない。水素は4×10<sup>20</sup>cm<sup>-3</sup>であり、珪素4×10<sup>22</sup>cm<sup>-3</sup>として比較すると1原子%であった。

【0060】また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を7×10<sup>19</sup>cm<sup>-3</sup>以下、好ましくは1×10<sup>19</sup>cm<sup>-3</sup>以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により5×10<sup>20</sup>～5×10<sup>21</sup>cm<sup>-3</sup>となるように添加してもよい。上記方法によって、アモルファス状態の珪素膜を500～5000Å、本実施例では1000Åの厚さに成膜した。

【0061】その後、フォトレジスト103をマスクP

(15)

27

1を用いてNTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト103をマスクとして、リンイオンをイオン注入法により、 $2 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、好ましくは $2 \times 10^{16} \text{ cm}^{-2}$ だけ、注入し、n型不純物領域104を形成した。その後、レジスト103は除去された。

【0062】同様に、レジスト105を塗布し、マスクP2を用いて、PTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト105をマスクとして、p型の不純物領域106を形成した。不純物としては、ホウ素を用い、やはりイオン注入法を用いて、 $2 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、好ましくは $2 \times 10^{16} \text{ cm}^{-2}$ だけ、不純物を導入した。このようにして、図9(B)を得た。

【0063】その後、珪素膜102上に、厚さ50~300nm、例えば、100nmの酸化珪素被膜107を、上記のRFスパッタ法によって形成した。そして、XeClエキシマレーザーを用いて、ソース・ドレイン・チャネル領域をレーザーアニールによって、結晶化・活性化した。この時のレーザーエネルギーは、閾値エネルギーが $130 \text{ mJ/cm}^2$ で、膜厚全体が熔融するには $220 \text{ mJ/cm}^2$ が必要となる。しかし、最初から $220 \text{ mJ/cm}^2$ 以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起きる。そのために低エネルギーで最初に水素を追い出した後に熔融させる必要がある。本実施例では最初 $150 \text{ mJ/cm}^2$ で水素の追い出しを行なった後、 $230 \text{ mJ/cm}^2$ で結晶化をおこなった。さらに、レーザーアニール終了後は酸化珪素膜107は取り去った。

【0064】その後、フォトマスクP3によって、アイランド状のNTFT領域111とPTFT領域112を形成した。この上に酸化珪素膜108をゲイト絶縁膜として500~2000Å例えば1000Åの厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0065】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 $\text{MoSi}_2$ または $\text{WSi}_2$ との多層膜を形成した。これを第4のフォトマスクP4にてパターンングして図9(D)を得た。NTFT用のゲイト電極109、PTFT用のゲイト電極110を形成した。例えばチャネル長 $7 \mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。図には示されていないが、実施例1の場合と同様にゲイト配線とそれに平行な配線も形成した。

【0066】この配線の材料としては、上記の材料以外にも、例えばアルミニウム(Al)を用いることも可能

28

である。アルミニウムを用いた場合、これを第4のフォトマスクP4にてパターンング後、その表面を陽極酸化することで、セルフアライン工法が適用可能なため、ソース・ドレインのコンタクトホールをよりゲートに近い位置に形成することが出来るため、移動度、スレッシュホールド電圧の低減からさらにTFTの特性を上げることができる。

【0067】かくすると、400℃以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスであるといえる。

【0068】図9(E)において、層間絶縁物113を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、第5のフォトマスクP5を用いて電極用の窓117を形成した。その後、さらに、これら全体にアルミニウムを $0.3 \mu\text{m}$ の厚みにスパッタ法により形成し第6のフォトマスクP6を用いてリード116およびコンタクト114、115を作製した後、表面を平坦化用有機樹脂119、例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけを第7のフォトマスクP7にて行った。さらに、これら全体にITO(インジウム酸化錫)を $0.1 \mu\text{m}$ の厚みにスパッタ法により形成し第8のフォトマスクP8を用いて画素電極118を形成した。このITOは室温~150℃で成膜し、200~400℃の酸素または大気中のアニールにより成就した。

【0069】得られたTFTの電気的な特性はPTFTで移動度は $35 (\text{cm}^2/\text{Vs})$ 、 $V_{th}$ は $-5.9 (\text{V})$ で、NTFTで移動度は $90 (\text{cm}^2/\text{Vs})$ 、 $V_{th}$ は $4.8 (\text{V})$ であった。

【0070】上記の様な方法に従って作製された液晶電気光学装置用の一方の基板を得ることが出来た。他方の基板の作製方法は実施例1と同じであるので省略する。その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の駆動ICと共通信号、電位配線を有するPCBを接続し、外側に偏光板を貼り、透過型の液晶電気光学装置を得た。これと冷陰極管を3本配置した後部照明装置、テレビ電波を受信するチューナーを接続し、壁掛けテレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶画素に印加することにより確認された。

【0071】

【発明の効果】本発明では、従来のアナログ方式の階調

(16)

29

表示に対し、デジタル方式の階調表示を行うことを特徴としている。その効果として、例えば $640 \times 400$ ドットの画素数を有する液晶電気光学装置を想定したばあい、合計256,000個のTFTすべての特性をばらつき無く作製することは、非常に困難を有し、現実的には量産性、歩留りを考慮すると、16階調表示が限界と考えられているのに対し、本発明のように、全くアナログ的な信号を加えることなく純粋にデジタル制御のみで階調表示することにより、256階調表示以上の階調表示が可能となった。完全なデジタル表示であるので、TFTの特性ばらつきによる階調の曖昧さは全くなり、したがって、TFTのばらつきが少々あっても、極めて均質な階調表示が可能であった。したがって、従来はばらつきの少ないTFTを得るために極めて歩留りが悪かったのに対し、本発明によって、TFTの歩留りがさほど問題とされなくなったため、液晶装置の歩留りは向上し、作製コストも著しく抑えることができた。

【0072】例えば $640 \times 400$ ドットの256,000組のTFTを $300\text{mm}$ 角に作成した液晶電気光学装置に対し通常のアナログ的な階調表示を行った場合、TFTの特性ばらつきが約 $\pm 10\%$ 存在するために、16階調表示が限界であった。しかしながら、本発明によるデジタル階調表示をおこなった場合、TFT素子の特性ばらつきの影響を受けにくいために、256階調表示まで可能になりカラー表示ではなんと16,777,216色の多彩であり微妙な色彩の表示が実現できている。テレビ映像の様なソフトを映す場合、例えば同一色からなる『岩』でもその微細な窪み等から微妙に色合い

30

が異なる。自然の色彩に近い表示を行おうとした場合、16階調では困難を要する。本発明による階調表示によって、これらの微細な色調の変化を付けることが可能になった。

【0073】本発明の実施例では、シリコンを用いたTFTを中心に説明を加えたが、ゲルマニウムを用いたTFTも同様に使用できる。とくに、単結晶ゲルマニウムの電子移動度は $3600\text{cm}^2/\text{Vs}$ 、ホール移動度は $1800\text{cm}^2/\text{Vs}$ と、単結晶シリコンの値（電子移動度で $1350\text{cm}^2/\text{Vs}$ 、ホール移動度で $480\text{cm}^2/\text{Vs}$ ）の特性を上回っているため、高速動作が要求される本発明を実行する上で極めて優れた材料である。また、ゲルマニウムは非晶質状態から結晶状態へ遷移する温度がシリコンに比べて低く、低温プロセスに向いている。また、結晶成長の際の核発生率が小さく、したがって、一般に、多結晶成長させた場合には大きな結晶が得られる。このようにゲルマニウムはシリコンと比べても遜色のない特性を有している。

【0074】本発明の技術思想を説明するために、主として液晶を用いた電気光学装置、特に表示装置を例として説明を加えたが、本発明の思想を適用するには、なにも表示装置である必要はなく、いわゆるプロジェクション型テレビやその他の光スイッチ、光シャッターであってもよい。さらに、電気光学材料も液晶に限らず、電界、電圧等の電気的な影響を受けて光学的な特性が変わるものであれば、本発明を適用できることは明らかであろう。